

Copy of Related Art

Japanese Non-examined Patent Publication

No.2000-196499

Best Available Copy

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-196499

(P2000-196499A)

(43)公開日 平成12年7月14日 (2000.7.14)

(51) Int.Cl.⁷

H 04 B 1/707
H 04 L 7/00

識別記号

F I

H 04 J 13/00
H 04 L 7/00

テーマコード(参考)

D 5 K 0 2 2
C 5 K 0 4 7

審査請求 未請求 請求項の数13 OL (全 17 頁)

(21)出願番号 特願平10-371463

(22)出願日 平成10年12月25日 (1998.12.25)

(71)出願人 000001122

国際電気株式会社

東京都中野区東中野三丁目14番20号

(72)発明者 今泉 市郎

東京都中野区東中野三丁目14番20号 国際
電気株式会社内

(72)発明者 星名 孝也

東京都中野区東中野三丁目14番20号 国際
電気株式会社内

(74)代理人 100093104

弁理士 船津 輝宏 (外1名)

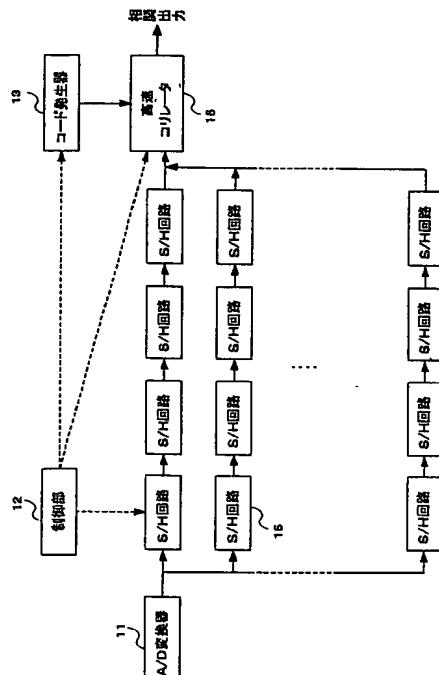
最終頁に続く

(54)【発明の名称】スペクトラム拡散通信用相關回路

(57)【要約】

【課題】 従来のスライディングコリレータは相関を得るのに時間が掛かり、マッチドフィルタは消費電力が増大するという問題点があつたが、本発明は、構成素子数を小規模にして、相関を得ることができるスペクトラム拡散通信用相關回路を提供する。

【解決手段】 A/D変換器11は受信したスペクトラム拡散された信号をデジタル信号に変換し、制御部12の制御により、S/H回路15に1.6MHzのクロックで1シンボル分書き込み、S/H回路15から1.6GHzの高速クロックで1シンボル分の信号をサンプル毎にシフトさせながら複数回高速コリレータ16に読み出し、高速コリレータ16で1.6GHzのクロックで拡散符号と積和演算を行い、読み出しと同時にS/H回路15には次の1シンボル分の信号が書き込まれるスペクトラム拡散通信用相關回路である。



【特許請求の範囲】

【請求項1】 スペクトラム拡散された受信信号をメモリに書き込み、書き込まれたスペクトラム拡散された信号を書き込み速度より高速に前記メモリから読み出して拡散符号と積和演算を高速に行う処理を複数回繰り返すことを特徴とするスペクトラム拡散通信用相関回路。

【請求項2】 スペクトラム拡散された信号を受信する1つ以上の受信部と、前記受信したスペクトラム拡散された信号を保持する1つ以上のメモリ部と、前記メモリ部に保持された信号と拡散符号との乗算を行う1つ以上の乗算部と、前記乗算結果を加算する1つ以上の加算部とを備え、

前記1つ以上の受信部から入力されるスペクトラム拡散された信号をチップ時間或いは当該チップ時間より短い時間で時間分割し、時間分割した信号を前記メモリ部に少なくとも1シンボル分以上保持し、当該保持後に前記チップ時間より短い時間より更に短い時間で高速に読み出し、前記乗算部にて拡散符号との乗算を行い、当該乗算結果を前記加算部で加算して相関を得ることを特徴とするスペクトラム拡散通信用相関器。

【請求項3】 メモリ部は、書き込みと読み出しが同時に、しかも異なる時間幅で行うことができる2ポートメモリであることを特徴とする請求項2記載のスペクトラム拡散通信用相関器。

【請求項4】 乗算部は、1ビットの拡散符号と多ビットのスペクトラム拡散された信号とを乗算する乗算器であり、拡散符号が「1」であれば多ビットをそのまま出力し、拡散符号が「0」であれば多ビットの反転を出力する論理により動作する乗算器であることを特徴とする請求項2記載のスペクトラム拡散通信用相関器。

【請求項5】 加算部は、多ビットの加算器と、前記加算器からの出力を入力として1刻み時間だけ遅延させて前記加算器に戻す遅延素子とを有する累加算器であることを特徴とする請求項2記載のスペクトラム拡散通信用相関器。

【請求項6】 請求項1記載のスペクトラム拡散通信用相関器を2組設け、前記相関器における受信部を共通とし、前記受信部で検波されたスペクトラム拡散された信号の直交検波信号の同相成分(I)と直交成分(Q)とを、異なる拡散符号にて乗算し、各々の乗算結果を加算することを特徴とするスペクトラム拡散通信用相関器。

【請求項7】 請求項1のスペクトラム拡散通信用相関器を4組設け、2組をペアとして、当該ペアの相関器における受信部を共通とし、前記受信部で検波されたスペクトラム拡散された信号の直交検波信号の同相成分

(I)と直交成分(Q)とを、各ペア内で第1、第2の異なる拡散符号にて乗算し、各々の乗算結果を加算して得られた4つの相関出力を前記第1の拡散符号で演算した結果同士と前記第2の拡散符号で演算した結果同士とを各々加算して合成することを特徴とするスペクトラム

拡散通信用相関器。

【請求項8】 メモリ部は、書き込みと読み出しが同時にしかも異なる時間幅で行うことができる2ポートメモリであり、読み出しが1シンボル分一時に多タップ及び多ビットで読み出しが可能なメモリであることを特徴とする請求項2記載のスペクトラム拡散通信用相関器。

【請求項9】 乗算部は、1ビットの拡散符号と多ビットのスペクトラム拡散された信号の多タップ数分とを乗算する乗算器であり、拡散符号が「1」であれば多ビットをそのまま出力し、拡散符号が「0」であれば多ビットの反転を出力する論理により動作する複数の乗算器であることを特徴とする請求項8記載のスペクトラム拡散通信用相関器。

【請求項10】 加算部は、複数の多ビットの加算器であり、乗算部で得られた多タップの乗算結果を加算する複数加算器であることを特徴とする請求項9記載のスペクトラム拡散通信用相関器。

【請求項11】 スペクトラム拡散されたアナログの受信信号をデジタル信号に変換するA/D変換器と、デジタルに変換された信号について少なくとも1シンボル分以上をチップ時間或いは当該時間より短い時間で時間分割して書き込んで保持し、前記書き込み速度より高速に前記時間分割して保持したサンプル毎に順次読み出す複数のサンプルホールド回路と、拡散符号を発生させるコード発生器と、前記サンプルホールド回路から1シンボル分の信号をサンプル毎に高速に順次入力し、前記コード発生器から入力される拡散符号と高速に積和演算する高速コリレータと、前記複数のサンプルホールド回路に1シンボル分以上の信号を書き込ませ、前記サンプルホールド回路から書き込み速度より高速にサンプル毎に前記高速コリレータに信号の読み出しを開始させると共に、前記複数のサンプルホールド回路に次の1シンボル分以上の信号の書き込みを開始させる制御部とを有することを特徴とするスペクトラム拡散通信用相関回路。

【請求項12】 スペクトラム拡散されたアナログの受信信号をデジタル信号に変換するA/D変換器と、デジタルに変換された信号について少なくとも1シンボル分以上をチップ時間或いは当該時間より短い時間で時間分割して書き込んで保持し、前記書き込み速度より高速に前記時間分割して保持したサンプル毎に順次読み出す2ポートメモリと、拡散符号を発生させるコード発生器と、前記2ポートメモリから1シンボル分の信号をサンプル毎に高速に順次入力し、前記コード発生器から入力される拡散符号と高速に積和演算する高速コリレータと、前記2ポートメモリに1シンボル分以上の信号を書き込ませ、前記2ポートメモリから書き込み速度より高速にサンプル毎に前記高速コリレータに信号の読み出しを開始させると共に、前記2ポートメモリに次の1シンボル分以上の信号の書き込みを開始させる制御部とを有し、

前記2ポートメモリが、スペクトラム拡散された信号を保持する複数のメモリセルと、前記制御部からの指示により前記A/D変換器からの信号を該当するメモリセルに書き込む第1のアドレスデコーダと、前記制御部からの指示により該当するメモリセルから書き込み速度より高速に信号を読み出す第2のアドレスデコーダと、前記第2のアドレスデコーダからの出力を増幅するセンスアンプとを備える2ポートメモリであることを特徴とするスペクトラム拡散通信用相関回路。

【請求項13】受信されたスペクトラム拡散された信号の直交検波信号の同相成分(I)と直交成分(Q)とに対して各々マッチドフィルタを有する干渉キャンセラユニットを複数備える干渉キャンセラにおいて、前記マッチドフィルタの前段に書き込みと読み出しが同時に、しかも書き込み速度より高速に読み出すことができるメモリを設け、前記マッチドフィルタが、前記メモリから高速に読み出される信号を高速に演算処理するマッチドフィルタであることを特徴とする干渉キャンセラ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、移動体通信や無線LAN等におけるスペクトラム拡散通信システムの受信機側で用いられるスペクトラム拡散通信用相関器に係り、特に、この分野で不可欠とされるデジタルMF(Matched Filter)に比べて大幅に論理回路規模を低減できるスペクトラム拡散通信用相関器に関する。

【0002】

【従来の技術】一般に移動体通信又は無線LAN等に用いられるスペクトラム拡散(Spread Spectrum: SS)通信システムでは、送信側で送信データに対して狭帯域変調(1次変調)を行い、更に拡散変調(2次変調)を行う、2段階の変調を行ってデータを送信し、受信側では、受信データに対して逆拡散を行って1次変調に戻してから、通常の検波回路でベースバンド信号の再生を行うようになっている。

【0003】そして、従来、スペクトラム拡散された受信信号の相関を得るためにスペクトラム拡散通信用相関器は、逆拡散回路、符号分割多重変調波の復調回路で構成され、具体的に、スペクトラム拡散通信用相関器は、同期捕捉を行い、以降検出された同期位相で相関を取るために、論理回路で構成されたスライディングコリレータ(SC)が用いられている。

【0004】スライディングコリレータは、1ビットの相関器を用いて局発符号系列(拡散符号)を1ビットづつシフトさせ、毎回受信の符号系列との相関を求めるものであり、符号系列長だけのビット数について相関を求めれば、相関がピークとなる同期位相が求められ、同期捕捉が行われるものである。

【0005】ここで、従来の逆拡散回路の1つであるスライディングコリレータについて図6を用いて説明す

る。図6は、従来のスライディングコリレータの一部分の構成ブロック図である。従来のスライディングコリレータにおける相関出力を取得する部分は、A/D変換器31と、乗算器32と、PNコードレジスタ33と、加算器34と、遅延要素35とから構成されている。

【0006】上記従来のスライディングコリレータの各部を説明する。A/D変換器31は、符号分割多重(Code Division Multiple Access: CDMA)変調されて送信され、アンテナ(図示せず)で受信されたアナログ信号を、デジタル信号に変換する高精度のアナログ/デジタル変換器である。PNコードレジスタ33は、送信側でCDMA変調に用いられたのと同じ拡散符号であるPN(Pseudo Random Noise)符号コードを出力するレジスタである。

【0007】乗算器32は、A/D変換器31から出力されるデジタルの受信データに、PNコードレジスタ33から出力されるPNコードを乗算する乗算器である。加算器34と遅延要素35は、乗算器32から出力される乗算結果を、1シンボル期間累積加算してその積分値を相関出力として出力するものである。

【0008】従来のスライディングコリレータの動作は、アンテナで受信された受信データのアナログ信号が、A/D変換器31でデジタル信号に変換され、PNコードレジスタ33から出力されるPNコードと乗算器32で乗算され、加算器34と遅延要素35で累積加算されて、1シンボル分の加算結果が相関出力として出力されるようになっている。そして、乗算器32における乗算のタイミングを1チップずらして位相を変化させながら乗算、累積加算が繰り返され、相関出力がピークとなる同期位相が検出されるようになっている。

【0009】この逆拡散回路としてスライディングコリレータを用いる構成は、比較的簡易でゲート数も少なく、そのため消費電力も少ないというものであるが、同期捕捉を行うまでの時間は一般的には、1シンボル分の時間×1シンボル内のチップ数分だけかかるため、相関出力を得るまでの時間がかかるという問題がある。

【0010】相関出力を得るまでに時間がかかるという問題点を解決するために、スライディングコリレータの替わりに、マッチドフィルタ(整合フィル、若しくはMatched Filter: MF)をスペクトラム拡散通信用相関器に用いることが考えられている。マッチドフィルタは、位相をずらした場合の相関を一齊に取ることにより、1シンボル時間内に同期捕捉を行うものである。

【0011】ここで、従来の逆拡散回路の別の例であるマッチドフィルタについて、図7を用いて説明する。図7は、従来のマッチドフィルタの構成例を示すブロック図である。従来のマッチドフィルタは、A/D変換器41と、乗算器42と、PNコードレジスタ43と、加算器44と、サンプルホールド(S/H)回路45とから構成されている。

【0012】上記従来のマッチドフィルタの各部を説明する。A/D変換器41は、CDMA変調されているアナログの入力信号をデジタル信号に変換する変換器である。サンプルホールド(S/H)回路45は、複数個設けられており、A/D変換器41からのデジタル信号を順次取り込んで保持する回路である。

【0013】PNコードレジスタ43は、拡散符号であるPN符号(コード)を出力するレジスタである。乗算器42は、各サンプルホールド回路45で保持されたデジタル信号に対してPNコードレジスタ43からのPN符号を乗算する乗算器である。加算器44は、乗算器42からの出力を一斉に加算する加算器である。

【0014】従来のマッチドフィルタの動作は、A/D変換器41でデジタル変換された入力信号が複数のS/H回路45に順次保持され、そのS/H回路45からの出力とPNコードレジスタ43から出力されるPN符号とが乗算器42で乗算され、更に乗算器42での乗算結果を加算器44で一斉に加算して、加算結果が出力される。その加算結果から相関出力を得るようになっている。

【0015】しかしながら、一般的なマッチドフィルタでは、一斉に位相をずらした場合の相関を取るために、例えば上記説明したスライディングコリレータに対して、1シンボル内のチップ数倍のゲート数が必要となり、ゲート規模が増大し、消費電力の増大を招き、移動端末の受信機に用いるには事実上困難となっている。

【0016】

【発明が解決しようとする課題】このように、従来のスライディングコリレータでは、相関出力が得られるまでの時間が掛かるという問題があり、また、従来のマッチドフィルタでは、ゲート数が多くなり消費電力の増大をもたらすという問題点があった。

【0017】本発明は上記実情に鑑みて為されたもので、マッチドフィルタに比べ構成素子数を小規模にして相関出力を得ることができるスペクトラム拡散通信用相関回路を提供することを目的とする。

【0018】

【課題を解決するための手段】上記従来例の問題点を解決するための請求項1記載の発明は、スペクトラム拡散通信用相関回路において、スペクトラム拡散された受信信号をメモリに書き込み、書き込まれたスペクトラム拡散された信号を書き込み速度より高速に前記メモリから読み出して拡散符号と積和演算を高速に行う処理を複数回繰り返すことを特徴としており、マッチドフィルタに比べ構成素子数を小規模にして相関出力を得ることができる。

【0019】上記従来例の問題点を解決するための請求項2記載の発明は、スペクトラム拡散通信用相関回路において、スペクトラム拡散された信号を受信する1つ以上の受信部と、前記受信したスペクトラム拡散された信

号を保持する1つ以上のメモリ部と、前記メモリ部に保持された信号と拡散符号との乗算を行う1つ以上の乗算部と、前記乗算結果を加算する1つ以上の加算部とを備え、前記1つ以上の受信部から入力されるスペクトラム拡散された信号をチップ時間或いは当該チップ時間より短い時間で時間分割し、時間分割した信号を前記メモリ部に少なくとも1シンボル分以上保持し、当該保持後に前記チップ時間より短い時間より更に短い時間で高速に読み出し、前記乗算部にて拡散符号との乗算を行い、当該乗算結果を前記加算部で加算して相関を得ることを特徴としており、マッチドフィルタに比べ構成素子数を小規模にして相関出力を得ることができる。

【0020】上記従来例の問題点を解決するための請求項3記載の発明は、請求項2記載のスペクトラム拡散通信用相関回路において、メモリ部は、書き込みと読み出しが同時に、しかも異なる時間幅で行うことができる2ポートメモリであることを特徴としている。

【0021】上記従来例の問題点を解決するための請求項4記載の発明は、請求項2記載のスペクトラム拡散通信用相関回路において、乗算部は、1ビットの拡散符号と多ビットのスペクトラム拡散された信号とを乗算する乗算器であり、拡散符号が「1」であれば多ビットをそのまま出力し、拡散符号が「0」であれば多ビットの反転を出力する論理により動作する乗算器であることを特徴としている。

【0022】上記従来例の問題点を解決するための請求項5記載の発明は、請求項2記載のスペクトラム拡散通信用相関回路において、加算部は、多ビットの加算器と、前記加算器からの出力を入力として1刻み時間だけ遅延させて前記加算器に戻す遅延素子とを有する累加算器であることを特徴としている。

【0023】上記従来例の問題点を解決するための請求項6記載の発明は、スペクトラム拡散通信用相関回路において、請求項1記載のスペクトラム拡散通信用相関器を2組設け、前記相関器における受信部を共通とし、前記受信部で検波されたスペクトラム拡散された信号の直交検波信号の同相成分(I)と直交成分(Q)とを、異なる拡散符号にて乗算し、各々の乗算結果を加算することを特徴としている。

【0024】上記従来例の問題点を解決するための請求項7記載の発明は、スペクトラム拡散通信用相関回路において、請求項1のスペクトラム拡散通信用相関器を4組設け、2組をペアとして、当該ペアの相関器における受信部を共通とし、前記受信部で検波されたスペクトラム拡散された信号の直交検波信号の同相成分(I)と直交成分(Q)とを、各ペア内で第1、第2の異なる拡散符号にて乗算し、各々の乗算結果を加算して得られた4つの相関出力を前記第1の拡散符号で演算した結果同士と前記第2の拡散符号で演算した結果同士とを各々加算して合成することを特徴としている。

【0025】上記従来例の問題点を解決するための請求項8記載の発明は、請求項2記載のスペクトラム拡散通信用相関回路において、メモリ部は、書き込みと読み出しが同時にしかも異なる時間幅で行うことができる2ポートメモリであり、読み出しは1シンボル分一時に多タップ及び多ビットで読み出し可能なメモリであることを特徴としている。

【0026】上記従来例の問題点を解決するための請求項9記載の発明は、請求項8記載のスペクトラム拡散通信用相関回路において、乗算部は、1ビットの拡散符号と多ビットのスペクトラム拡散された信号の多タップ数分とを乗算する乗算器であり、拡散符号が「1」であれば多ビットをそのまま出力し、拡散符号が「0」であれば多ビットの反転を出力する論理より動作する複数の乗算器であることを特徴としている。

【0027】上記従来例の問題点を解決するための請求項10記載の発明は、請求項9記載のスペクトラム拡散通信用相関回路において、加算部は、複数の多ビットの加算器であり、乗算部で為された多タップの乗算結果を加算する複数加算器であることを特徴としている。

【0028】上記従来例の問題点を解決するための請求項11記載の発明は、スペクトラム拡散通信用相関回路において、スペクトラム拡散されたアナログの受信信号をデジタル信号に変換するA/D変換器と、デジタルに変換された信号について少なくとも1シンボル分以上をチップ時間或いは当該時間より短い時間で時間分割して書き込んで保持し、前記書き込み速度より高速に前記時間分割して保持したサンプル毎に順次読み出す複数のサンプルホールド回路と、拡散符号を発生させるコード発生器と、前記サンプルホールド回路から1シンボル分の信号をサンプル毎に高速に順次入力し、前記コード発生器から入力される拡散符号と高速に積和演算する高速コリレータと、前記複数のサンプルホールド回路に1シンボル分以上の信号を書き込みませ、前記サンプルホールド回路から書き込み速度より高速にサンプル毎に前記高速コリレータに信号の読み出しを開始させると共に、前記複数のサンプルホールド回路に次の1シンボル分以上の信号の書き込みを開始させる制御部とを有することを特徴としており、構成素子数を小規模にして相関出力を得ることができる。

【0029】上記従来例の問題点を解決するための請求項12記載の発明は、スペクトラム拡散通信用相関回路において、スペクトラム拡散されたアナログの受信信号をデジタル信号に変換するA/D変換器と、デジタルに変換された信号について少なくとも1シンボル分以上をチップ時間或いは当該時間より短い時間で時間分割して書き込んで保持し、前記書き込み速度より高速に前記時間分割して保持したサンプル毎に順次読み出す2ポートメモリと、拡散符号を発生させるコード発生器と、前記2ポートメモリから1シンボル分の信号をサンプル毎に

高速に順次入力し、前記コード発生器から入力される拡散符号と高速に積和演算する高速コリレータと、前記2ポートメモリに1シンボル分以上の信号を書き込ませ、前記2ポートメモリから書き込み速度より高速にサンプル毎に前記高速コリレータに信号の読み出しを開始させると共に、前記2ポートメモリに次の1シンボル分以上の信号の書き込みを開始させる制御部とを有し、前記2ポートメモリが、スペクトラム拡散された信号を保持する複数のメモリセルと、前記制御部からの指示により前記A/D変換器からの信号を該当するメモリセルに書き込む第1のアドレスデコーダと、前記制御部からの指示により該当するメモリセルから書き込み速度より高速に信号を読み出す第2のアドレスデコーダと、前記第2のアドレスデコーダからの出力を増幅するセンスアンプとを備える2ポートメモリであることを特徴としており、マッチドフィルタに比べ構成素子数を小規模にして相関出力を得ることができる。

【0030】上記従来例の問題点を解決するための請求項13記載の発明は、受信されたスペクトラム拡散された信号の直交検波信号の同相成分(I)と直交成分

(Q)とに対して各々マッチドフィルタを有する干渉キャンセラユニットを複数備える干渉キャンセラにおいて、前記マッチドフィルタの前段に書き込みと読み出しが同時に、しかも書き込み速度より高速に読み出すことができるメモリを設け、前記マッチドフィルタが、前記メモリから高速に読み出される信号を高速に演算処理するマッチドフィルタであることを特徴としており、構成素子数を小規模にして干渉のキャンセルを行うことができる。

【0031】

【発明の実施の形態】本発明の実施の形態について図面を参照しながら説明する。本発明の実施の形態に係るスペクトラム拡散通信用相関回路は、受信部から送出されてくるスペクトラム拡散された信号について、通常、いわゆるチップ時間間隔で拡散符号により処理されているところを、スペクトラム拡散された信号を一時的にメモリに記憶しておき、記憶されたスペクトラム拡散された信号を高速に読み出し、読み出した信号と拡散符号との積和演算を高速に行う処理を複数回繰り返すようにしたものであり、構成素子数を小規模にして相関出力を得ることができるものである。

【0032】具体的には、スペクトラム拡散された信号を少なくとも1シンボル分メモリに貯え、それを高速で読み出しつつ、拡散符号と高速に積和演算することで、受信部から入力されるスペクトラム拡散された信号の時間変換を実現するものである。

【0033】現在IMT2000でARIB(電波産業会)より提案されている、いわゆるW-CDMA(広帯域CDMA)は、チップ速度は4M(メガ)cps(chip per second)である。これに対し、W-CDMAが

実用化される2001年のLSI（大規模集積回路）の製造プロセスを用いれば、CMOS（相補形MOS）の場合、線幅が0.18μm程度となり、使用するクロック周波数は、500MHzから2G（ギガ）Hzが予想されている。

【0034】すなわち、入力信号の周波数に比べてはるかに高い処理が回路内において可能となる。チップ速度は4Mcpsであるので、信号処理上からこの4倍程度のサンプリングで信号を刻み、拡散符号とのマッチングをより精密に観察する必要があるが、それでも受信信号の処理に用いられるクロックは16MHzで処理することになり、他方、回路の内部処理に用いられるクロックのクロック速度として1.6GHzが使用可能となれば、受信信号の処理に対して内部処理が100倍の処理能力を備えることとなる。

【0035】マッチドフィルタと同一の機能を達成させる場合は、例えば、通常行われているように16MHz刻みで受信したスペクトラム拡散された信号をメモリに蓄積し、それを例えば、1.6GHzの高速で読み出して、高速処理のスライディングコリレータにて高速に積和演算を行えば100倍の速度で処理可能である。従って、チップ数（拡散率）が25の場合であれば4倍オーバーサンプリングで、100サンプル存在することになるため、1シンボルの相関をマッチドフィルタと同一の1シンボル時間で取ることが可能となる。

【0036】この場合、拡散コードは1シンボル分変化させないで、100回繰り返し使用するものであるが、スペクトラム拡散された信号は1サンプル刻みでスライドさせる必要があり、メモリとしては最低2シンボル分用意しておく必要がある。

【0037】先ず、16MHzで1シンボル分を第1のメモリに書き込んだら、次の1シンボル分を1サンプル毎に第2のメモリに書き込みを行うと共に、第1及び第2のメモリから1.6GHzで1シンボル分のデータを1サンプルづつスライドさせて100回読み出しを行う。

【0038】つまり、1シンボル分のデータが書き込まれた第1のメモリと1サンプル毎に書き込みが為される第2のメモリから1シンボル分のデータを1サンプルづつスライドさせて1.6GHzで100回読み出しを行うということは、第2のメモリについては書き込みと読み出しが同時に行われることになり、1シンボル分のデータを読み出す時間にちょうど次の1シンボル分のスペクトラム拡散された信号が第2のメモリに読み込まれることになる。この動作を第1のメモリと第2のメモリとで交互に行えば、連続してスペクトラム拡散された信号のメモリへの書き込みと読み出しの動作を行うことができる。従って、マッチドフィルタと同様、常時、相関出力を送出することが可能になる。

【0039】上記拡散率はW-CDMAの場合、物理チ

ャネルにより異なるが、最低で4チップ、最大で256チップ必要となる。但し、この場合、チップ速度は4.096Mcpsで一定と考えて良い。尚、将来、可変レートが想定されている1.6.384Mcpsまで高まる可能性はある。従って、最大で256チップ必要とすると、現実には一個の高速処理のスライディングコリレータ（高速SC）では処理できないことになる。その場合には、複数の高速SCを用意し、同様の演算を1サンプルづつ処理して行けば良い。

【0040】具体的には、256チップの場合、1024サンプル（256チップ×4オーバーサンプリング）になるので、メモリからのデータ読み出しクロックとして、1.6GHzのクロックが使用可能であれば、1.6GHzのクロックで100倍の処理を行うため、11個の高速SCを必要とする。11個の高速SCで1100サンプル（100サンプル×11個）に対応可能となる。この場合でも1024タップのマッチドフィルタ（MF）を構成するハード規模に比べてはるかに少ないハード規模で実現できることになる。

【0041】本発明の実施の形態に係る回路では、ハード規模が1/10程度にはなるので、W-CDMAの復調部の大半を占めているMF部が1/10程度になることは、LSIコストを低減する効果がある。

【0042】尚、上記の例では、拡散符号を取り替えない場合を説明したが、信号の方を固定し、拡散符号を取り替えることを行えば、短時間で拡散符号の特定を行って相関出力を得ることが可能になる。

【0043】また、高速SCの代わりにMF構成の積和演算器を用意し、メモリからの読み出しをシンボル単位の多タップで行えば、その相関出力を極めて短時間、例えば、1GHzクロックの場合に、1ns（ナノ秒）で出力することが可能になる。これは多数のメモリを用意し、多数のシンボル単位の情報をそれらメモリに蓄積し、その相関出力を得る場合に効果的である。すなわち、本来であれば複数のMFが必要な場合でも1つのMFにて処理可能となる。

【0044】尚、W-CDMAシステムにおいてMF動作が必要なのは、初期同期の内、最初の第1止まり木のロングマスクシンボルを捕まえに行く時、つまり、シンボル同期及びスロット同期の確立時だけであり、それ以外は間欠的な動作が許される形態になっている。初期同期は、この第1止まり木のロングマスクシンボルを捕まえた後、第2止まり木のロングマスクシンボルにてロングコードグループを特定する。これは同一時の入力信号を別のショートコードで復調することにより達成できる。更に第1止まり木のパイロットシンボルの場所にてロングコードを特定する。これにより初期同期は、およそ達成できる。

【0045】これらの動作を完了しなければならない時間は、これらの動作を複数の基地局に対し行って3秒以

内とされている。この中で初期のロングマスクシンボルを捕まえに行く時間は極めて少時間（少なくとも1秒以内）であり、ここで消費電力が大きくなってしま全体の通話時間に対して、上記動作を行うのはスイッチをONした時だけであることを考慮すると、電池に対する影響はほとんど無いといえる。すなわち、通常はSC動作を間欠的に実行するだけで良好になり、総合的に消費電力の低減も達成することができる。

【0046】次に、本発明の実施の形態に係るスペクトラム拡散通信用相関回路について図1を用いて説明する。図1は、本発明の実施の形態に係るスペクトラム拡散通信用相関回路の構成ブロック図である。尚、ここでは、先ず比較的動作が単純な、シンボル同期、無線スロット同期、フレーム同期が確立した後の動作（通常通信時）について説明する。本実施の形態のスペクトラム拡散通信用相関回路（本回路）は、図1に示すように、時系列のPN符号（PNコード）を発生するコード発生器13と、PN符号により変調されたスペクトラム拡散信号を入力し、そのアナログ信号をデジタル信号に変換するA/D変換器11、そのデジタル信号を保持するメモリ部としての複数のサンプルホールド（S/H）回路15と、複数のS/H回路15からの出力とコード発生器13から出力されるPNコードとを高速に積和演算処理する高速コリレータ16と、S/H回路15及びコード発生器13及び高速コリレータ16へのデータ等の入出力を制御する制御部12とから構成されている。

【0047】通常通信時における本回路の動作を説明する。サンプルホールド（S/H）回路15は、入力されるデジタル信号を一時的に保持するメモリ部の役割を果たし、1シンボル分のデータが保持できるようにS/H回路15を複数直列に接続したS/Hストリングを複数列備えている。そして、制御部12の指示により、信号の1シンボル分のデータを先頭サンプルから順次シフトさせながら各S/H回路15に取り込む。ここでは、シンボル同期、無線スロット同期、フレーム同期が確立していることを前提にしているので、どの位相に特定のシンボルの先頭サンプルが存在するかは分かっているものである。

【0048】1シンボル分の信号をS/Hストリングに取り込む。例えば、拡散率128の場合、4倍オーバーサンプリングであれば、総数512個のS/H回路の直列接続に取り込む。すると、制御部12は、S/H回路15に対し、今までの取り込み速度、すなわちサンプル速度（通常の4倍オーバーサンプリングであれば約1.6MHz、正確には4.096MHzの4倍）に対して、充分速い速度例えば1.6GHzで読み出しを行わせる。

【0049】その出力を受けて高速コリレータ16は、1.6GHzの高速のクロックで積和演算を行う。この時、コード発生器13より拡散符号（PNコード）を順

次1. 6GHzのクロックで受け取る。ここで、コード発生器13はコードレジスタであっても構わない。この符号の発生及び読み出しも同じ制御部12によって制御される。尚、高速コリレータ16で為される乗算演算は、拡散符号が「1」であればメモリ部からのデータ（多ビット）をそのまま出力し、拡散符号が「0」であれば多ビットの反転を出力するものである。

【0050】この結果、1シンボルの書き込みに用いた時間の1/100の時間内にS/H回路15からのデータ読み出し及び高速コリレータ16での積和演算処理が完了する。従ってメモリ部の他のS/Hストリングに別のシンボルを格納しておけば、順次その相関も高速コリレータ16にて得ることができる。

【0051】現実的には、同時刻に処理すべきシンボルは結構多く、受信信号としてシンボル単位でメモリ部に格納しなければならない信号は、アンテナ数が2本であるとすると、複素変調信号（I/Q）、遅延波成分で計6本、更に、制御、トラフィックの複数チャネルを考慮すると合計24～48本である。

【0052】尚、DHO（タイバーシティハンドオフ）時には他の基地局を同時期に捕らえなければならないるので、その1～2倍になる。1倍とは、現在通信を実行中の当該基地局の信号再生の1部を割愛して、例えばパス数を低減するとか等を実施することによりハードを増加させないでDHOを実行するものである。

【0053】また、拡散コードも複素変調化しており、さらに拡散コードを変えて同時刻に送信されてくるマルチコードの場合や、第1止まり木と第2止まり木のロングコードマスクシンボルの場合には、入力信号と同じにしてコードのみ変えて相関出力を得る動作を行う必要がある。

【0054】従って、通常のSCを使用して相関を得ようとすると、SCの本数は少なくとも96本からその4～5倍の500本程度必要になる。更に、この他に、同期を得るためにサーチャが必要であるが、通常サーチャにはマッチドフィルタ（MF）方式が使用されており、ハード規模はSCに比べ100から300倍程度となる。

【0055】具体的には、SCのゲート数は約200ゲート程度、同じ演算精度のMFのゲート数は約60kゲート程度必要である。但し、サーチャの動作ではW-C DMAのデータ復調のための演算精度は必要としないので、10kゲート程度で足りることになる。また、アンテナ毎にサーチャは必要であり、DHO時に対応するためには、もう1つ必要となる場合もある。

【0056】上記の状況において、本回路を使用すれば、メモリ部は新設しなければならないが、高速コリレータの本数は1桁にすることが可能になり、大幅なハード規模の低減が可能である。更に後述するように、同期捕捉のためのサーチャも不要となるので更に大幅なハ

ド規模の低減がもたらされる。

【0057】尚、ここでメモリ部としてS/H回路を説明したが、勿論次の条件を満たすメモリなら何であっても良い。第1の条件として、データの書き込み速度と読み出し速度が可変にできる。第2の条件として、データの読み出しと書き込みが同時に実行できる。第3の条件として、1サンプル当たりのビット長は1ビット以上であり、できれば4~6ビットであり、サンプル単位に同時に書き込み読み出しが可能のこと。更に、以下は望ましい条件(第4の条件)として、読み出しがシンボル単位でも可能のこと(これは後述するマッチドフィルタ方式に対応するためである)。

【0058】よって、2ポートのDRAM(Dynamic Random Access Memory)等が十分使用可能であり、デジタルのF/F(Flip-Flop)で組んだS/H回路に比べれば大幅なチップ占有面積の低減や消費電力の低減が可能となる。

【0059】本発明の実施の形態に係るスペクトラム拡散通信用回路において、S/H回路の替わりに2ポートメモリのメモリセルを用いた例について図2を使って説明する。図2は、本発明の実施の形態に係るスペクトラム拡散通信用回路の別の例の構成ブロック図である。図2に示すように、当該回路は、A/D変換器21と、制御部22と、コード発生器23と、2ポートメモリ20と、高速コリレータ26とから構成されており、2ポートメモリ20は、アドレスデコーダ24と、複数のメモリセル25と、アドレスデコーダ27と、センスアンプ28とから構成されている。

【0060】ここで、A/D変換器21と、コード発生器23と、高速コリレータ26は、図1に示したA/D変換器11と、コード発生器13と、高速コリレータ16と同様の構成となっている。図1の回路と相違する構成は、2ポートメモリ20と制御部22である。以下、これらについて説明する。

【0061】2ポートメモリ20におけるメモリセル25は、S/H回路15と同様にA/D変換器21からデジタルの入力信号をアドレスデコーダ24を介して1サンプルづつ1シンボル分書き込まれて保持し、アドレスデコーダ27によって1シンボル分の信号を1サンプル毎に読み出されるものである。

【0062】アドレスデコーダ24は、A/D変換器21から入力されるデジタル信号を制御部22から入力されるアドレスに従ってメモリセル25に1.6MHzのクロックにて書き込むものである。また、アドレスデコーダ27は、制御部22から入力されるアドレスに従ってメモリセル25からデータを1.6GHzのクロックで読み出してセンスアンプ28に出力するものである。センスアンプ28は、アドレスデコーダ27から入力されるデータを基準値と比較してクロックタイミングでH(High)又はL(Low)に増幅して高速コリレータ26

に出力するものである。

【0063】制御部22は、コード発生器23を制御して拡散符号(PNコード)を高速コリレータ26に出力すると共に、アドレスデコーダ24、27に書き込み又は読み出しのアクセスするメモリセル25のアドレスを出力するものである。

【0064】図2における回路の動作を説明すると、受信信号がA/D変換器21でデジタル信号に変換され、制御部22で指定されたアドレスにアドレスデコーダ24が変換されたデジタル信号をメモリセル25に1.6MHzのクロックで1シンボル分書き込む。1シンボル分書き込むと、続けて次の1シンボル分の書き込みを開始するが、アドレスデコーダ27では制御部22から指定されたアドレスに従ってメモリセル25から既に書き込まれた1シンボル分のデータを1.6GHzのクロックで1サンプルづつシフトさせながら読み出してセンスアンプ28に出力する。センスアンプ28では入力信号を増幅して高速コリレータ26に出力し、高速コリレータ26で1.6GHzのクロックで高速に積和演算を行つて相関を得て出力するものである。

【0065】以上では、シンボル同期、無線スロット同期、フレーム同期が確立した後の動作(通常通信時)について説明したが、次に、これらの同期が確立していない、初期同期時について説明する。初期同期時には、移動機の電源スイッチをONした状態で、未だシンボル同期、無線スロット同期、フレーム同期が確立しておらず、その状態で同期を特定しなければならないものである。AIRの仕様では、以下の様にして、初期同期の確立を行う。

【0066】第1ステップとして、チップ同期、シンボル同期、無線スロット同期の確立を行う。まず、第1止まり木のロングコードマスクシンボルを検出して、チップ同期、シンボル同期及び無線スロット同期を確立する。以下、説明の条件として、第1止まり木のチップレートは4Mcps、拡散率は256、とし、A/D変換器11からの信号入力を4倍オーバーサンプリング(1.6Mcps)、6ビットとする。

【0067】そして、初期同期時の構成及び動作を以下の(A)~(N)に説明する。尚、図1の例を基にして説明するが、各部の具体的構成及びデータの読み出し速度の精度等は、上述の図1のものとは異なり、高機能、高精度のものとなっている。

【0068】(A)メモリ部は、1024タップ(6ビットが1024個横に並んでいるイメージ)+ α (数タップ)とする。

(B)このメモリ部にA/D変換器11からの出力を順次書き込んで行く。書き込み速度は1.6MHzのクロックを使用する。

(C)ちょうど1024タップ(ちょうど止まり木チャンネルの1シンボル分)書き込んだら、最初の1タップ

から順次 1.384 GHz (1.6 MHz の 1024 倍) の速度で読み出し、高速コリレータ 16 に入力する。1.6 MHz での書き込みは継続して進める。

【0069】(D) 高速コリレータ 16 は、1.6 GHz のクロックで積和演算を遂行する。この時の拡散コードは共通のショートコードである。

(E) 高速コリレータ 16 の速度は、サンプル速度の 1024 倍で動作するので、1サンプル分の相関を取得し終わった時に、丁度 1 サンプル時間掛かることになる。この終了時点で、1.6 MHz の速度で書き込みをしているので、1サンプル分の新たな入力データが取り込まれている。

【0070】(F) 次に、1サンプル分ずらして、上記 (C) の段階で 1 番目 (最初の 1 タップ) から読み出しを開始したので、今度は 2 番目のタップから読み出しを開始し、1025 番目のタップまでの 1 シンボル分のデータを 1.6 GHz で読み出し、高速コリレータ 16 にて積和演算を行う。高速コリレータ 16 の加算回路は、

(D) 段階での最終結果をクリアしてから、演算を行う。

(G) このようにして、最初から順次演算を行い 1024 回繰り返すと、1 シンボル分の相関出力を得ることができる。

(H) 上記 (G) 段階が終了する時間は、丁度 1 シンボル時間に相当するので、これを順次繰り返せば次のシンボルについても相関出力を得ることができる。

【0071】(I) ショートコードで拡散されているロングコードシンボルは、10 シンボルに 1 回だけ挿入されているので、1 番近い基地局を探し出すには少なくとも 10 シンボル分繰り返さなければならない (0.625 ms / 10 シンボル)。尚、この所要時間は通常の MF を使用する場合と変わらない。

(J) 尚、メモリ部は、1024 タップ有れば原理的に充分であるが、信号処理遅延の関係で消去してはいけない場合が有るため、余裕を設けている。1025 タップ書き終えれば最初の 1 タップ目に帰って更新をして行けば良い。

【0072】(K) このようにして、少なくとも 10 シンボル分見れば、隣接基地局も含め在籍基地局のチップ同期とシンボル同期及びロングコードマスクシンボルの位置から無線スロット同期を取ることが可能である。クロックが 1.6 GHz であれば 1 つの高速コリレータにて実時間内に処理可能となる。この処理はプロファイラにより行われ、一番強い相関出力を比較して検出する論理と、その時間を特定する。勿論、通信状況が悪ければ、この 10 シンボル分 (1 無線スロットに相当) のデータだけで判断できない場合は次の 10 シンボル分を合わせて判断する。プロファイラ内では 1 無線スロット内の同位相のサンプル刻みでの結果を加算等して判断するようにしている。いずれにせよ上記演算処理を継続して繰り

返せば良い。

【0073】(L) クロックが 1.6 GHz であれば、高速コリレータは 1 個で良いが、それほど速いものが得られない場合には、高速コリレータを複数用意することになる。例えば、1 GHz 程度のクロックでしか動作できない場合には、合計で 16 個の高速コリレータが必要になる。

(N) この場合、メモリ部からの読み出しの仕方と、複数の高速コリレータへの取り込み方法にいくつかの案が考えられる。以下、(i) ~ (iv) に説明する。

【0074】(i) 1.6 GHz と同様に、1 シンボル分 (1024 タップ) の 1 タップ (1 サンプル) づつ 1 ~ 16 番目の高速コリレータから順次読み出しを行い、17 番目のサンプル以降も 1 ~ 16 番目の高速コリレータから順次読み出しを行い、最終的には 1 シンボル分の読み出しを行う。

【0075】高速コリレータへの取り込みを具体的に説明すると、1 番目の高速コリレータは最初のサンプルから、2 番目の高速コリレータは 2 サンプル目から行う。3 番目以降も同様に実行する。16 番目の高速コリレータは 16 サンプル目から取り込みを開始する。16 個の高速コリレータへ入力される符号は同一 (位相を含めて) で良い。

【0076】この場合の問題点は、1 番目以外の高速コリレータは、1 シンボル分全部の相関を取れないことになる。例えば、2 番目は 1023 サンプル分の相関を取り、16 番目は 1024 - 15 = 1009 サンプル分の相関を取ることになる。いわゆる部分相関であるが、16 番目も 2% 以下の減衰にしかならないので、初期同期を取る目的からすると問題にするほどではない。

【0077】(ii) メモリ部に 1024 + 16 タップ (サンプル) 分を記憶しておき、1 ~ 16 番目の高速コリレータを用いて 1 サンプル毎に読み出しを行う。これが終了すると次は 17 番目のサンプルから 1 ~ 16 番目の高速コリレータを用いて 1 サンプル毎に読み出しを行い、同様の処理を繰り返して 1040 タップ分の読み出しを行う。このようにすれば、全ての 16 個の高速コリレータは 1024 サンプル分、すなわち 1 シンボル分の相関を得ることができる。

【0078】具体的な取り込みの仕方は、(i) の場合と同様に、1 番目の高速コリレータは最初から 1024 サンプルまで、2 番目の高速コリレータは 2 サンプル目から 1025 サンプルまで行う。但しこの場合、メモリ部からの読み出し速度と高速コリレータにおける演算速度は 1.6 タップ分だけ速くする必要がある。また、最初にメモリ部に蓄積すべきタップ数も 1 シンボル分より 16 サンプル多く蓄積しておく必要があり、メモリ容量が僅かに増加する。上記の場合も各高速コリレータに与える拡散符号は、位相も含め同一である。

【0079】(iii) メモリ部からの読み出しあ

(i) と同様に行う。全ての高速コリレータへの取り込みも同じサンプルを同時刻に取り込む。但し、各高速コリレータへの拡散符号は1サンプル時間だけ位相を変化させて与えている。すなわち、1番目の高速コリレータには1番目（1サンプル目と同じ）の符号から順次供給し、2番目の高速コリレータには2サンプル目の符号から順次供給し、最後は戻って1サンプル目で終了する。3番目の高速コリレータ以降も同様に符号を供給する。

【0080】この場合の問題点は、シンボルをまたいで相関を2番目の高速コリレータ以降は取ってしまうことになるが、ロングコードマスクシンボルでは、このシンボルのみショートコードで拡散されているため、他のシンボルをたとえまたいでも、そのまたいだ部分は単に雑音となるだけであり、また、その量も2%以下と極めて低いので、初期同期を取る目的からすると問題にするほどではない。

【0081】(iv) 上記方式ではメモリを1面しか用意していない場合を記述したが、メモリが多面必要なことは既に述べた通りであり、その数は少なくとも24面以上必要である。メモリを22面用意し、先ず、10シンボル分（1無線スロット）を前半の11面に蓄積する。蓄積が完了したら例えばサンプル速度の100倍の速度（1.6GHz）で1シンボルの先頭からシンボル毎に1.0シンボルの読み出しを開始する。この10シンボルの出力を10個の高速コリレータで受ける。この場合、同一の拡散符号を使用する。

【0082】1シンボル分の読み出し及び高速コリレータにおける演算が終了したら、次のサンプルからまた1シンボル分の処理を繰り返す。この動作が1024回完了して1シンボル分の相関出力を10シンボル分得ることになる。後半の11面のメモリマットにも、この時、次の1無線スロット分（10シンボル分）の情報が貯められている。

【0083】ここで、前半の11面のメモリマットの内の1番目の情報と後半の11面のメモリマットの1番目の情報内容は同じとする。したがって、両者のメモリには同時書き込みが行われており、この1番目のメモリマットの情報は、常に1無線スロットにおける1番目の情報を構成していることになる。このことはメモリマットが合計21面有れば、順次読み出しが完了したメモリマットに新たな情報を書き込んで行けば良いことになる。1無線スロットの処理が完了したら、2番目の無線スロットについて、同じ高速コリレータを使用して新しい情報の蓄積されている11面のメモリからの情報を用いて同じ動作を繰り返せば次の無線スロットの相関が得られる。

【0084】MFのハード規模は復調部の半分を占めているので、これが従来のハード規模に比べて1/10になることはLSIの価格低減に極めて有効である。

【0085】次に、第2ステップとして、ロングコード

グループの特定について説明する。無線スロットの同期が確立できれば、第2止まり木のロングコードマスクシンボルがどこに存在するかは分かるのでその情報をメモリに取り込む。実際には、第1止まり木のロングコードマスクシンボルと同じ位置に存在するので、取得する情報は同一位置にて得られることになる。

【0086】そして、メモリに取り込んだ情報を、例えば、1GHz若しくは1.6GHzのクロックを用いて高速に読み出す。具体的には、1サンプル目から1024サンプル目まで順次読み出す。この場合、シンボル同期が確立しているので、1サンプル目が必ずシンボルの先頭になっている。メモリから読み出された情報を高速コリレータを用いて16種類の拡散符号を取り替えて処理をすればどれかで相関が得られるので、ロングコードグループの特定を行うことができる。このロングコードグループの特定には、1GHzのクロックで動作させたとしても1つの高速コリレータにて僅か16μsで完了できる。尚、1シンボル時間は62.5μsである。

【0087】次に、第3ステップとして、ロングコードの特定及びフレーム同期の確立について説明する。無線スロットの同期が確立できれば、第1止まり木のパイロットシンボルがどこに存在するかは分かるので、その情報をメモリに取り込む。今度は2シンボル分情報を取り込んでもよいし、遊んでいるメモリがあるのなら全パイロットシンボルの4シンボル分取り込むようにしてもよい。

【0088】情報の取り込みが完了したら、第2ステップの場合と同様に高速に読み出しを行う。位相差を含むロングコードの種類は1ロングコードグループ内に全部で32通り、位相は16無線スロットの繰り返しになるので16通り存在するから、1つのコリレータでロングコードを取り替えて行っても32（32種類）×16（16位相）×4（4シンボル分のパイロット）×1（1μs：1GHzクロック使用の場合 1シンボル分 [1024サンプル] の相関を得るための時間）= 2048μs（約2ms）で特定できることになる。

【0089】通常のコリレータを用いて実時間でロングコードの特定を実行すると、1シンボル時間（64μs）×32（32種類）×16（16位相）= 32768μs（約33ms）に、パイロットシンボルが10シンボルに4回しか存在しないため、2.5（10/4）倍、すなわち80ms以上（約33ms×2.5）はかかることになるので、従来のコリレータと比較して本回路を用いれば、大幅な時間短縮が可能である。

【0090】以上説明したように、高速で処理しなければならないのは、実は第1ステップのみであることが判る。現実問題として2001年に実用化できるプロセス（CMOS 0.18μm）を使用しても1.6GHzのクロックを生成することは困難である。そこで、上述したように高速コリレータを複数用いれば達成可能である

が、その他の方法として、第1ステップの動作を時間的に間引いて、ロングコードマスクシンボルを見出すまでの時間を延ばして実行する方法が考えられる。

【0091】以下、理想状態でのそれぞれのステップでの所要時間を表記する。条件は1GHzクロックが使用可能な場合とする。

第1ステップ: 0. 625ms (従来の方式と同一)

第2ステップ: 0. 016ms (従来の方式では1無線スロット0. 625ms)

第3ステップ: 2ms (従来では80ms)

【0092】現実的には、1つの処理に1無線スロットは必然であるので、無線スロット単位で表記する。

第1ステップ: 1 (従来の方式と同一)

第2ステップ: 1 (従来の方式と同一)

第3ステップ: 4 (従来では $32 \times 16 = 512$ (512無線スロット×0. 625ms = 320ms) となり、更に正確に処理するためにはこの4から5倍は掛かることになる。)

いずれにせよ、第3ステップの時間が主であり、本回路では第3ステップの時間を大幅に短縮しているので、第1ステップの時間をたとえ1桁上げても従来の方式に比べればなお勝っていることになる。

【0093】次に、第1ステップの時間を1桁上げて、例えば、10倍の時間を掛けて処理する場合の例について説明する。メモリ部には10シンボル分のデータを取り込み可能となっており、通常の速度16MHzのクロックにてまず2シンボル分のデータを取り込む。読み出しのクロックは1. 6GHzとする。尚、高速コリレータの数を例えば10個に増やせば、読み出しのクロックは160MHzで可能なのは前述した方式を用いれば良い。

【0094】メモリ部からの情報を1個の高速コリレータで1. 6GHzのクロックで受け取り、1. 6GHzのクロックで1シンボル分(1024サンプル)の演算を行う。次に、1サンプルずらして同様の処理を行う。これを1024回行い、1シンボル分の相関を取得する。また、メモリ部には上記2シンボル分(第1, 2シンボル)のデータに続いて次の2シンボル分(第3, 4シンボル)のデータを取り込む。そして、第2シンボルと第3シンボルのデータを用いて第2シンボルの相関を演算する。以降同様として第3~10のシンボルについて相関を得る。

【0095】そして、上記10シンボル分の処理時間において、9シンボル分の処理が終了した段階で、1無線スロットにおける次の10シンボル分の情報の内、2シンボル目の情報をメモリに書き込み始め、最初の10シンボル目の情報の読み出しが完了する時点で書き込みを終了する。これを10回繰り返せば10シンボル分の全ての相関を取得するのに、100シンボル分の時間、すなわち10倍の時間かけて完了できる。これでも第1~

第3ステップの合計は20無線スロット以下に収まるので、大幅な改善になる。

【0096】結局、現状のプロセスでも可能なクロック160MHzでも、高速コリレータを10個、メモリを2面用意すれば、初期同期時間を1/10以上の大幅な改善が可能となる。更にメモリ部のマット数を増加すれば上述の方式と(iv)の方式を合わせて行うことができ、更なる改善が可能である。特に、第3ステップの時間改善に寄与する。

【0097】次に、DHO(ダイバーシティハンドオーバー或いはダイバーシティハンドオフ)時の動作について説明する。現在通信を行っている基地局(現基地局)との通信環境が悪化した場合(多くの場合が通信を行っている基地局から遠ざかって近接する基地局(近接基地局)に近づいた状況となった場合)で、近接基地局との通信をした方が良い通信環境が得られる場合に、先ず近接基地局を探し出し、その近接基地局との交信を始めるが、現基地局からの情報と同じ情報を近接基地局から送ってもらい、両者を受信する。すなわちセルダイバーシティ受信を行い、両受信信号のレベルが所定値以上になるまで継続し、その後、現基地局との通信を切り、新しい隣接基地局との交信状態に移行する。これをソフトハンドオーバーとかソフトハンドオフと呼び、切れ目の無い交信を可能とするものである。このように、セルダイバーシティ受信を行ってソフトハンドオーバー若しくはソフトハンドオフを行うことがDHOである。

【0098】ARI Bの仕様では、全ての基地局は非同期で動作している。そのため隣接基地局のチップ同期、シンボル同期、無線スロット同期を確立する過程は、上記初期同期の場合と同様の処理が必要になる。従って、通常DHO用に新たにハードを増設することが行われている。具体的には、別に1アンテナ分を使用し、それを近接基地局に向けるとかの対策が取られている。ここでは、ハードの空時間を利用し、DHOを行う方式を述べる。

【0099】尚、本DHOに対応していないハード構成であっても、前述したように、多数のメモリとその情報を逆変換(復調)する多数のスライディングコリレータとを設置してある。これらの数の最大は、移動機がスイッチONした時に止まり木チャネルを捕捉する時であり、その動作が完了すればメモリもスライディングコリレータも多くの場合は休止状態でよくなる。それをDHO時に使用すれば、問題なくハンドオーバー先の基地局からの情報を復調することができるものである。

【0100】次に、本回路を干渉キャンセラとして用いる場合について図3、図4を用いて説明する。図3は、本発明の実施の形態に係る相関回路を干渉キャンセラユニットに用いた構成ブロック図である。図4は、本実施の形態に係る干渉キャンセラユニットを用いた干渉キャンセラの構成ブロック図である。干渉キャンセラユニッ

ト（ICU）は、図3にその構成を示すようにMFを備え、更に干渉キャンセラは、図4に示すように、多数のICUから構成されているため、LSI規模の増大、LSI個数の増大をもたらしている。

【0101】具体的には、ユーザ数×ステージ数×整数倍のMFが必要であり、ユーザ数は300又は600、ステージ数は少なくとも3、整数は少なくとも4又は8、従って3000から10000のMFが必要となる。本実施の形態においては、上記MF部に高速演算処理可能な本回路を実施し、MFの数を大幅に低減するものである。

【0102】また、図4に示すように、受信部（RX）と2つの加算器（+）の後段にメモリ部を設け、受信部及と遅延回路（Delay）又は複数のICUとの間、加算器と遅延回路又は複数のICUとの間、加算器と複数のICUとの間で処理速度の時間変換を行うようになっている。従って、図3に示すマッチドフィルタ（MF）は、通常のMFと比べて高速積和演算の処理を行うものである。

【0103】尚、本特許の基本概念はメモリによる時間変換を使用した相関器にあり、以下の概念を取り込んでその効果に変わりはない。

（1）高速コリレータを用いた高速読み出し及び演算の際の多層クロックによる、クロック速度の低減。この場合、高速コリレータの本数は増加するので、消費電力の低減には直接結びつかない。

（2）オーバーサンプリングの倍数の可変。初期状態は、2倍で実施し、概略確定した後、4倍にするなど。

（3）高速コリレータ及びMF（積和演算器）構成を複素型にする場合。複素高速コリレータ（複素型高速SC）は、図8のように、原理的に4つの高速コリレータにより構成されるが、工夫することにより、ハード規模は4倍より少くなり、約2倍の規模で構成可能である。尚、図8は、本発明の実施の形態に係るスペクトラム拡散通信回路における高速コリレータを複素型とした場合の回路構成ブロック図である。但し、図8においては、1つの複素型高速SC内に、コリレータは2個となっているのは、これはコリレータの前段で、拡散コードを乗算したI、Q信号の加減算を行うようにしているため、4つのI、Q信号について4つのコリレータを用いる必要がなくなり、2個のコリレータで処理可能となつたものである。

【0104】つまり、複素乗算の場合、以下の式に示すような、時間加算を行うものである。

$$(A_I + j A_Q) (C_I + j C_Q) = A_I C_I - A_Q C_Q + j (A_I C_Q + A_Q C_I)$$

複素でない場合の1つのコリレータでは、ACの時間加算を行っているが、複素の場合、本来、4つのコリレータを用い、 $A_I C_I$ 、 $A_Q C_Q$ 、 $A_I C_Q$ 、 $A_Q C_I$ の時間加算を行つてから加減算を行うようにすると、理論的

には4つのコリレータを必要とするが、図8に示す例では、 $A_I C_I - A_Q C_Q$ と $A_I C_Q + A_Q C_I$ を演算してから、時間加算を行えば、ハード規模を減少可能とするものである。

【0105】尚、図8の内容を説明すると、複素型の場合の構成は、スペクトラム拡散信号を入力し、アナログ信号をデジタル信号に変換する6bit A/D変換器81がI相信号とQ相信号とに対応して設けられ、この6bit A/D変換器81から出力されるデジタル信号を保持し、高速に出力するメモリ部82がそれぞれ設けられ、更に複素型SC80a、80b、80cに入力されるデータ及びコードその他の信号のタイミングをクロック（CLK）によって調整するラッチ回路83が複数設けられている。

【0106】本発明の実施の形態に係るスペクトラム拡散通信用相関回路によれば、スペクトラム拡散された受信信号を16MHzのクロックでA/D変換してメモリ部に1シンボル分書き込み、100～1000倍の1.6GHz～16GHzのクロックで1シンボル分のデータを複数回読み出すと共に、次の1シンボル分のデータをメモリ部に書き込みつつ、読み出した1シンボル分のデータを高速コリレータで高速演算処理を行うようしているので、構成素子数を小規模にして相関出力を得ることができる効果がある。

【0107】

【実施例】次に、本回路を用いた復調部の具体的且つ基本的な回路構成について図5を用いて説明する。図5は、本発明の実施例に係るスペクトラム拡散通信用相関回路の復調部の具体的構成ブロック図である。本実施例の復調部は、図5に示すように、アンテナ51と、RF部52と、A/D変換器53と、メモリ部54と、第1の高速コリレータ55と、拡散符号発生器56と、プロファイラ57と、第2の高速コリレータ58と、RAKE合成器59と、データ及び音声処理部60と、制御部61と、フィンガメモリ62とから基本的に構成されている。

【0108】次に、図5に示した復調部の各部について具体的に説明する。アンテナ51は、通常2本用意され、ダイバーシティ受信を行う。ダイバーシティ受信とは、2本のアンテナで同一送信信号を受信し、復調した結果を合成し受信感度の向上を図るものである。

【0109】RF（Radio Frequency：無線周波数）部52は、ベースバンド（BB）信号を作成（復調）するものであり、直交検波を行いI成分（同相成分）とQ成分（直交成分）に分離する。

【0110】A/D変換器53は、RF部52からのBBアナログ信号をデジタル信号に変換する。変換ビット数は4～6ビット必要である。変換周波数は、4倍オーバーサンプリングであればW-CDMA（広帯域CDMA）の場合には16MHzとなる。I/Q信号、アンテ

ナ毎に対し、それぞれ1個のA/D変換器が必要になるが、高速処理が可能であれば、時分割処理を行わせることで1個のA/D変換器で足りることになる。

【0111】メモリ部54は、A/D変換器53で変換されたデジタル信号を少なくとも1シンボル分以上であってシンボル単位で保持し、それを高速で読み出すものである。書き込み速度は、チップ速度の1~4倍程度、読み出し速度は、その10倍以上は必要である。この処理で、いわゆる時間変換を行う。具体的には、少なくとも48シンボル~100シンボル分のメモリ容量が必要である。尚、高速コリレータの替わりにMF(マッチドフィルタ)を用いる場合は、シンボル単位での一斉読み出しが要求される。また、DHO用として、メモリ部54'を備えている。

【0112】第1の高速コリレータ(Digital SC)55は、メモリ部54に保持されているスペクトラム拡散された信号と拡散符号発生器56からの拡散符号を取り込み、その積和演算を1シンボル単位に行う。チップレートに比べ高速動作が行われる。また、第2の高速コリレータ(Digital SC)58も第1の高速コリレータ55と同様の動作を行うが、第2の高速コリレータの演算結果はプロファイラ57に出力されるようになっている。尚、第2の高速コリレータ58の替わりにマッチドフィルタ(MF)を用いるようにしても構わない。また、DHO用として、高速コリレータ58'を備えている。

【0113】拡散符号発生器56は、制御部61からの指示により、指定された拡散符号を指定された位相で送出する。尚、拡散符号発生器の替わりに拡散符号を格納するレジスタであってもよい。

【0114】プロファイラ57は、第2の高速コリレータ58(若しくはMF)からの出力を取り込み演算を行い、パスを特定する。これにより初期同期の段階では、チップ同期、シンボル同期、無線スロット同期、フレーム同期を取ることができ、基地局の特定が可能になる。また、接続先基地局が決まった通信状態においては、パスの検出を行う。これらの情報は制御部61に送られ、制御部61から第1の高速コリレータ55、メモリ部54、拡散符号発生器56に指示が出力される。また、DHO用として、プロファイラ57'を備え、DHO時には、隣接基地局の特定とそのパスの特定を行う。

【0115】第2の高速コリレータ58の替わりに用いられるMFは、スペクトラム拡散された信号と拡散符号を取り込み、その積和演算を1シンボル単位に行う。チップレートに比べ高速動作が行われる。高速動作することにより複数のメモリからの情報を極めて高速に処理できるようになるので、干渉キャンセラへの応用が可能になる。

【0116】RAKE合成部59は、フィンガメモリ62に取り込まれた第1の高速コリレータ55からの相關出力を、バイロットシンボルを用いた位相補正を実施

し、その後、複数パスの合成(RAKE合成)を行うものである。また、RAKE合成部59には、この他、受信信号と周波数を合わせるためのAFC、受信信号と雑音(他信号からの干渉を含む)の割合が現在どうなっているかを測定するSIR測定部なども含まれる。

【0117】データ及び音声処理部60は、誤り訂正を行うため送信側で実施した各種信号処理の逆変換(復調)を行う。これにはデインタリープ、ビタビ復号、CRCデコーダ、リードソロモン復号(又はターボ復号)、音声CODECなどが存在する。

【0118】以上、詳細に説明した通り、本発明の実施の形態に係るスペクトラム拡散通信用相關回路によれば、少ないゲート規模でCDMAの復調回路を構成でき、近い将来に、小規模で相關が得られる移動体端末用のLSIを開発することができる効果がある。

【0119】

【発明の効果】本発明によれば、受信されたスペクトラム拡散された信号を書き込みと読み出しが同時にを行うことができ、しかも書き込み速度より高速に読み出すことができるメモリ部を備え、当該メモリ部から高速に信号を取り込んで高速コリレータにて高速に積和演算を行うスペクトラム拡散通信用相關回路としているので、構成要素を小規模にして相關を得ることができる効果がある。

【図面の簡単な説明】

【図1】本発明の実施の形態に係るスペクトラム拡散通信用相關回路の構成ブロック図である。

【図2】本発明の実施の形態に係る別のスペクトラム拡散通信用相關回路の構成ブロック図である。

【図3】本回路を干渉キャンセラユニットに用いた場合の構成ブロック図である。

【図4】本回路を干渉キャンセラに用いた場合の構成ブロック図である。

【図5】本発明の実施の形態に係るスペクトラム拡散通信用回路の具体的実施例を示す構成ブロック図である。

【図6】従来のスライディングコリレータの一部分の構成ブロック図である。

【図7】従来のマッチドフィルタの構成ブロック図である。

【図8】本発明の実施の形態に係るスペクトラム拡散通信回路における高速コリレータを複素型とした場合の回路構成ブロック図である。

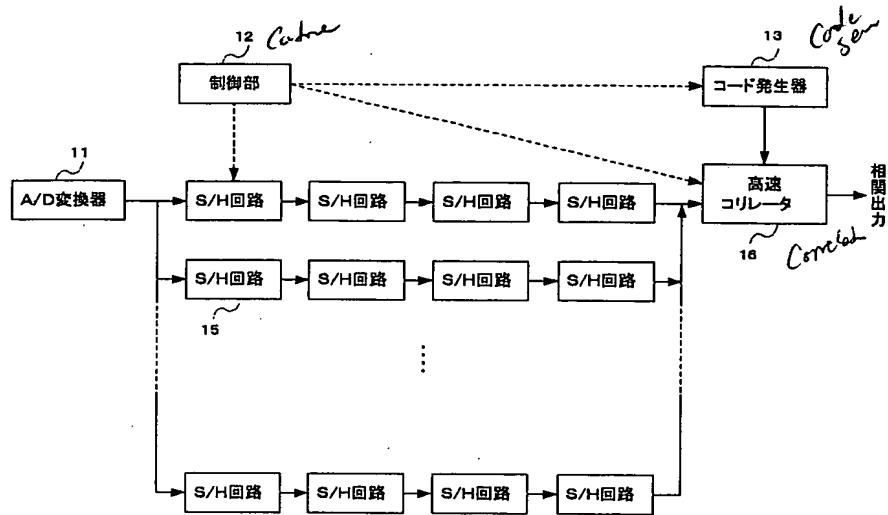
【符号の説明】

11, 21, 31, 41…A/D変換器、 12, 22…制御部、 13, 23…コード発生器、 15, 25…サンプルホールド(S/H)回路、 16, 26…高速コリレータ、 20…2ポートメモリ、 24, 27…アドレスデコーダ、 28…センスアンプ、 32, 42…乗算器、 33, 43…PNコードレジスタ、

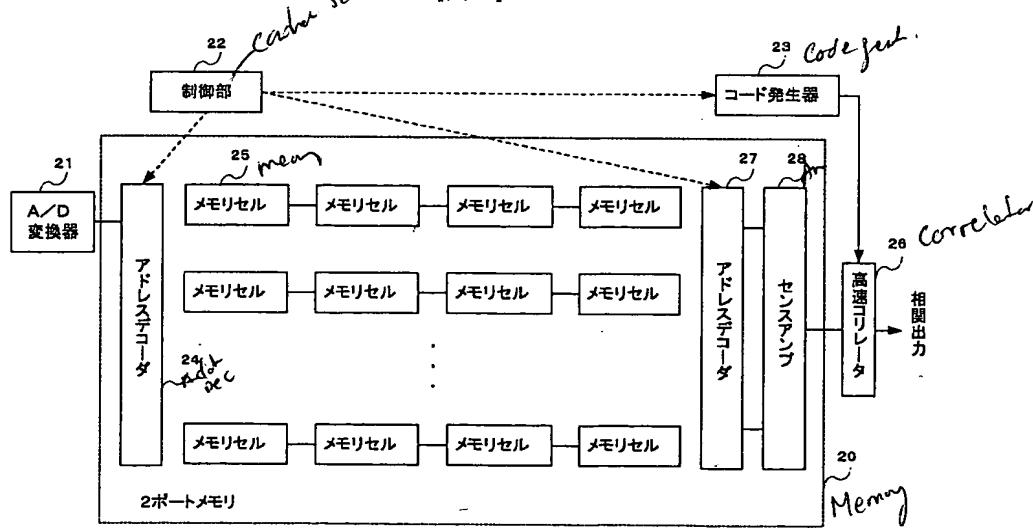
34, 44…加算器、35…遅延回路、45…サンブルホールド(S/H)回路、51…アンテナ、52…RF部、53…A/D変換器、54…メモリ部、55…第1の高速コリレータ、56…拡散符号発生器、57…プロファイラ、58…第2の高速コ

リレータ、59…RAKE合成部、60…データ及び音声処理部、61…制御部、62…フィンガメモリ、81…6bit A/D変換器、82…メモリ部、83…ラッチ回路

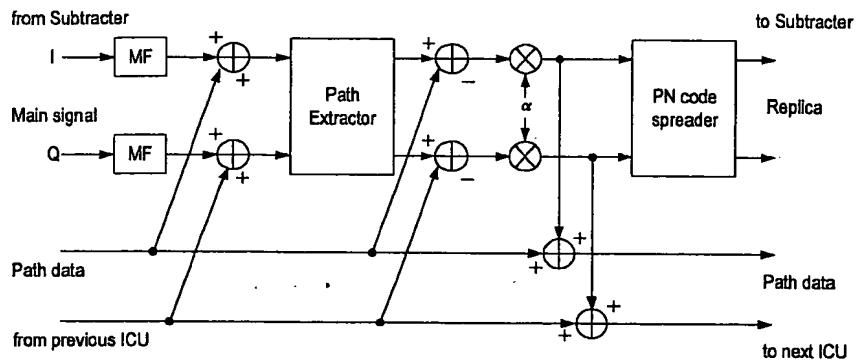
【図1】



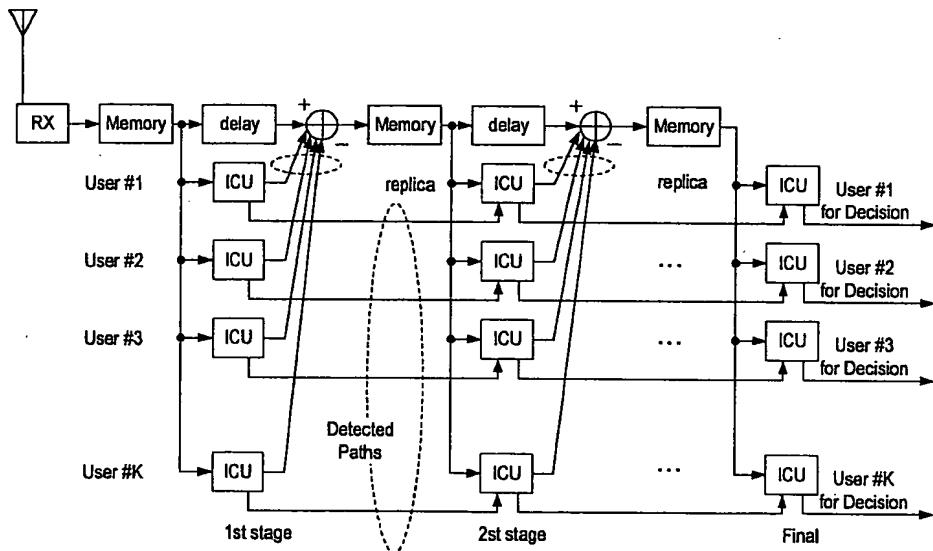
【図2】



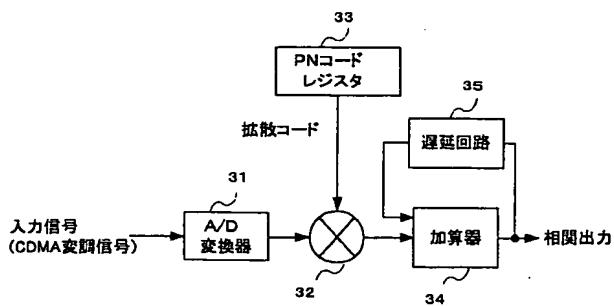
【図3】



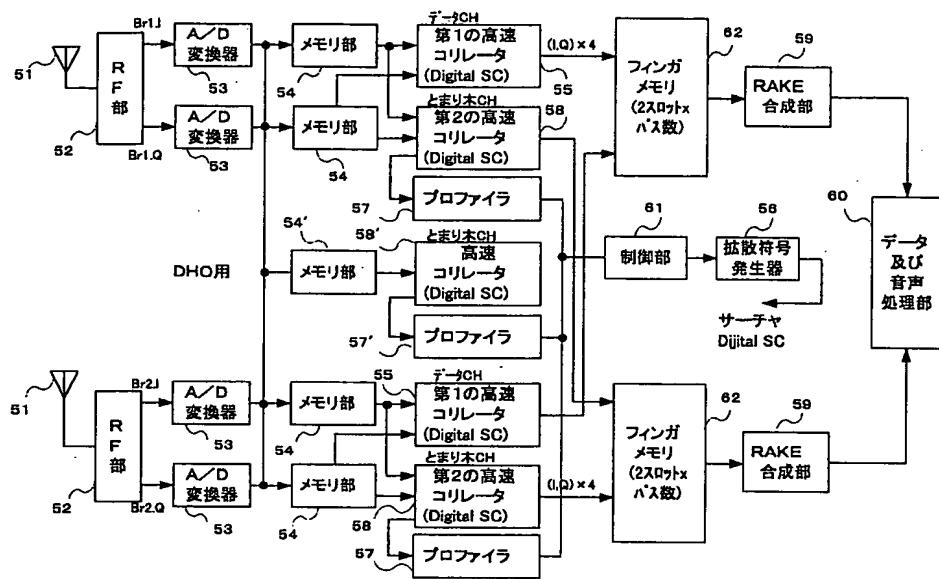
【図4】



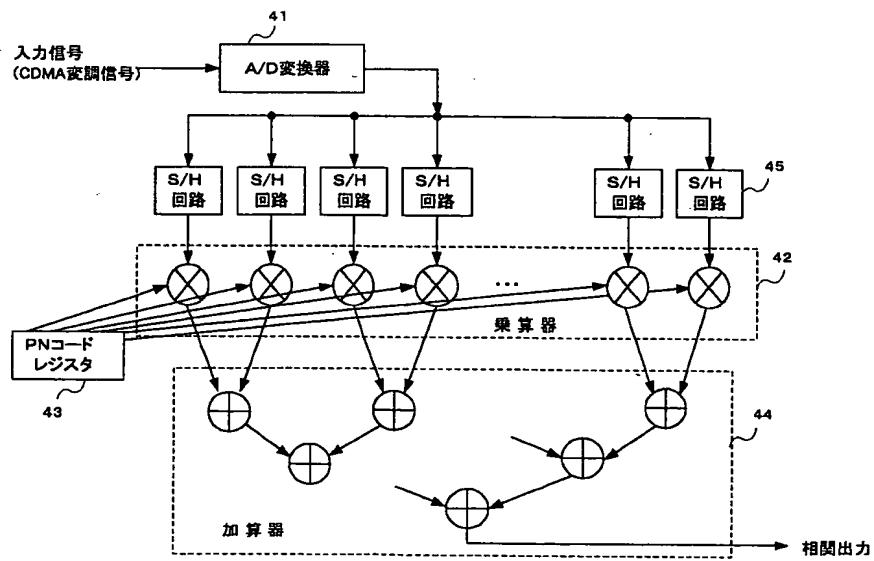
【図6】



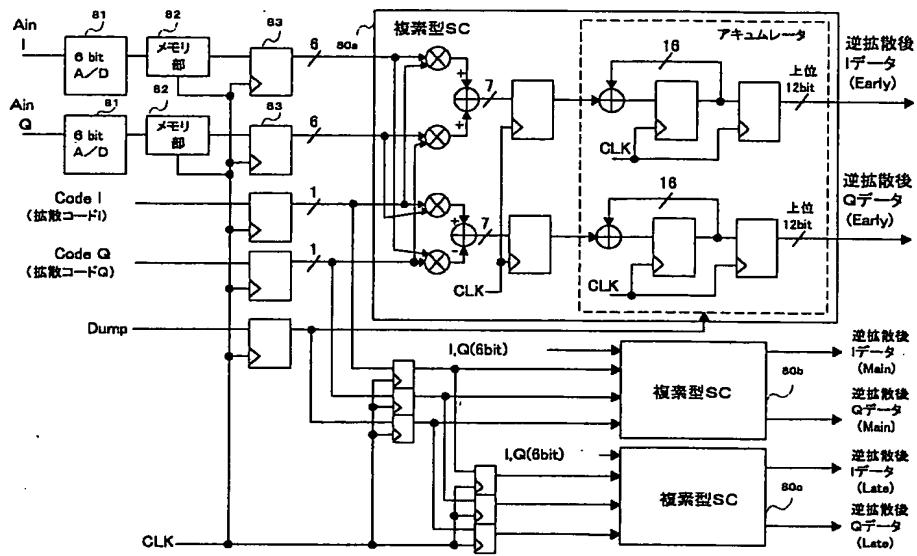
【図5】



【図7】



【図8】



フロントページの続き

(72)発明者 安成 健次郎

東京都中野区東中野三丁目14番20号 国際
電気株式会社内

F ターム(参考) 5K022 EE02 EE33 EE36

5K047 AA02 BB01 CC34 HH15 MM24
MM33 MM36 MM38 MM45

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-196499

(43)Date of publication of application : 14.07.2000

(51)Int.Cl.

H04B 1/707
H04L 7/00

(21)Application number : 10-371463

(71)Applicant : KOKUSAI ELECTRIC CO LTD

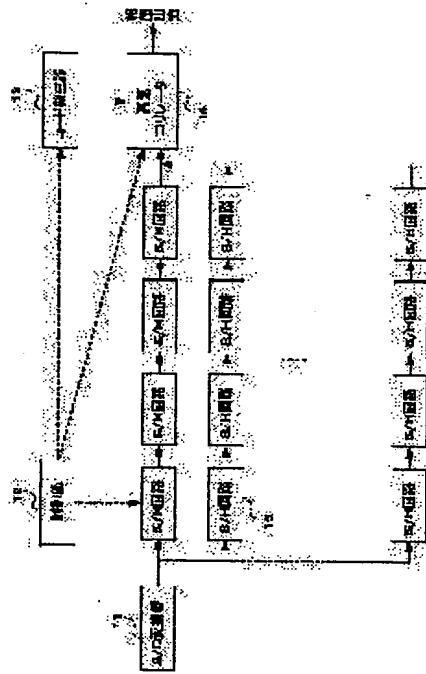
(22)Date of filing : 25.12.1998

(72)Inventor : IMAIZUMI ICHIRO
HOSHINA TAKAYA
YASUNARI KENJIRO

(54) CORRELATION CIRCUIT FOR SPREAD SPECTRUM COMMUNICATION

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a correlation circuit that can obtain correlation in spite of a small scale of number of components.
SOLUTION: An A/D converter 11 converts a received signal that is spread-spectrum-processed into a digital signal, the signal by one symbol is written in a sample-hole S/H circuit 15 by using a 16 MHz clock signal under the control of a control section 12, and a high speed correlator 16 reads the signal from the S/H circuit 15 by using a high speed clock of 1.6 GHz by one symbol for a plurality of number of times while shifting the signal for each sample. Then the high speed correlator 16 applies product-sum operation between the signal and the spread code by using a clock signal of 1.6 GHz and a signal by a succeeding symbol is written in the S/H circuit as soon as the signal is read.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

The Japanese Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The correlation circuit for a spectrum diffusion communication characterized by repeating processing which writes the input signal by which the spectrum diffusion was carried out in memory, reads the written-in signal by which the spectrum diffusion was carried out from the aforementioned memory to a high speed from drawing speed, and performs a diffusion sign and a sum-of-products operation at high speed two or more times.

[Claim 2] One or more receive sections which receive the signal by which the spectrum diffusion was carried out, and the one or more memory sections holding the signal which carried out [aforementioned] the reception and by which the spectrum diffusion was carried out, The one or more multiplication sections which perform the multiplication of the signal and diffusion sign which were held at the aforementioned memory section, Have one or more adder units adding the aforementioned multiplication result, and the time sharing of the signal which is inputted from the one or more aforementioned receive sections and by which the spectrum diffusion was carried out is carried out in time when it is shorter than chip time or the concerned chip time. The signal which carried out the time sharing is held above by at least 1 symbol among the aforementioned memory section. The correlator for a spectrum diffusion communication characterized by reading at high speed after the concerned hold in time when it is still short than the time when it is shorter than the aforementioned chip time, performing the multiplication with a diffusion sign in the aforementioned multiplication section, adding the concerned multiplication result by the aforementioned adder unit, and acquiring a correlation.

[Claim 3] The memory section is a correlator for a spectrum diffusion communication according to claim 2 to which writing and read-out are simultaneously characterized by being 2 port memory which can be performed by time [to differ moreover] width of face.

[Claim 4] The multiplication section is a correlator for a spectrum diffusion communication according to claim 2 characterized by being the multiplier which operates by the logic which will output many bits as they are if it is the multiplier which carries out the multiplication of the signal with which the spectrum diffusion of a 1-bit diffusion sign and the many bits was carried out and a diffusion sign is "1", and will output inversion of many bits if a diffusion sign is "0."

[Claim 5] An adder unit is a correlator for a spectrum diffusion communication according to claim 2 which considers the output from the adder and the aforementioned adder of many bits as an input, and is characterized by being acceleration **** which has the delay element which only 1 unit time is delayed and is returned to the aforementioned adder.

[Claim 6] The correlator for a spectrum diffusion communication which prepares 2 sets of the correlator for a spectrum diffusion communication according to claim 1, makes the receive section in the aforementioned correlator common, carries out the multiplication of the in-phase component (I) and quadrature component (Q) of a rectangular detection signal of the signal which was detected by the aforementioned receive section, and by which the spectrum diffusion was carried out with a different diffusion sign, and is characterized by adding each multiplication result.

[Claim 7] Prepare 4 sets of correlators for a spectrum diffusion communication of a claim 1, and 2 sets is made into a pair. The in-phase component (I) and quadrature component (Q) of a rectangular detection signal of a signal which make common the receive section in the correlator of the concerned pair, and were detected by the aforementioned receive section and by which the spectrum diffusion was carried out. The correlator for a spectrum diffusion communication which carries out a multiplication with the diffusion sign from which the 1st and the 2nd are different within each pair, and is characterized by adding comrades respectively and compounding them as a result of calculating four correlation outputs which add each multiplication result and were obtained with the diffusion sign of the above 1st and calculating with comrades and the diffusion sign of the above 2nd.

[Claim 8] It is the correlator for a spectrum diffusion communication according to claim 2 to which the memory section is 2 port memory which can be performed by time [when writing moreover differs from read-out simultaneously] width of face, and read-out is characterized by being the memory which can be read in many taps and many bits at a stretch by one symbol.

[Claim 9] The multiplication section is a correlator for a spectrum diffusion communication according to claim 8 characterized by being two or more multipliers which operate from the logic which will output many bits as they are if it is the multiplier which carries out the multiplication of several multi-tap minutes of the signal with which the spectrum diffusion of a 1-bit diffusion sign and the many bits was carried out and a diffusion sign is "1", and will output inversion of many bits if a diffusion sign is "0."

[Claim 10] An adder unit is a correlator for a spectrum diffusion communication according to claim 9 characterized by being the adder of two or more many bits, and being two or more adders adding the multiplication result of the many taps in which it succeeded in the multiplication section.

[Claim 11] The A/D converter which changes into a digital signal the input signal of the analog by which the spectrum diffusion was carried out, By at least 1 symbol, in time when it is shorter than chip time or the concerned time, carry out the time sharing of the above, write it in, and it is held about the signal changed into digital one. Two or more sample hold circuits which carried out [aforementioned] the time sharing to the high speed, and were held from the aforementioned drawing speed and which are read one by one for every sample, The high-speed correlator which carries out a sum-of-products operation at the code generator made to generate a diffusion sign, the diffusion sign which inputs the signal for one symbol one by one at high speed for every sample from the aforementioned sample hold circuit, and is inputted from the aforementioned code generator, and a high speed, While the above signal is made to write in two or more aforementioned sample hold circuits by one symbol and a high speed is made to start

read-out of a signal from drawing speed from the aforementioned sample hold circuit to the aforementioned high-speed correlator for every sample. The correlation circuit for a spectrum diffusion communication characterized by having the control section which makes two or more aforementioned sample hold circuits start the writing of the above signal by the one following symbol.

[Claim 12] The A/D converter which changes into a digital signal the input signal of the analog by which the spectrum diffusion was carried out, By at least 1 symbol, in time when it is shorter than chip time or the concerned time, carry out the time sharing of the above, write it in, and it is held about the signal changed into digital one. 2 port memory which carried out [aforementioned] the time sharing to the high speed, and was held from the aforementioned drawing speed and which is read one by one for every sample. The high-speed correlator which carries out a sum-of-products operation at the code generator made to generate a diffusion sign, the diffusion sign which inputs the signal for one symbol one by one at high speed for every sample from the aforementioned 2 port memory, and is inputted from the aforementioned code generator, and a high speed. While the above signal is made to write in the aforementioned 2 port memory by one symbol and a high speed is made to start read-out of a signal from drawing speed from the aforementioned 2 port memory to the aforementioned high-speed correlator for every sample. Two or more memory cells holding the signal with which it has the control section which makes the aforementioned 2 port memory start the writing of the above signal by the one following symbol, and the spectrum diffusion of the aforementioned 2 port memory was carried out. The 1st address decoder written in the memory cell which corresponds the signal from the aforementioned A/D converter with the designation from the aforementioned control section, The 2nd address decoder which reads a signal from the memory cell which corresponds with the designation from the aforementioned control section to a high speed from drawing speed. The correlation circuit for a spectrum diffusion communication characterized by being 2 port memory equipped with the sense amplifier which amplifies the output from the 2nd aforementioned address decoder.

[Claim 13] In an interference canceller equipped with two or more interference canceller units which have a ***** VCF respectively to the in-phase component (I) and quadrature component (Q) of a rectangular detection signal of a signal which were received, and by which the spectrum diffusion was carried out. Writing and read-out prepare simultaneously the memory which can moreover be read to a high speed from drawing speed in the preceding paragraph of the aforementioned ***** VCF. The interference canceller characterized by being the ***** VCF which carries out data processing of the signal with which the aforementioned ***** VCF is read from the aforementioned memory at high speed at high speed.

[Translation done.]

* NOTICES *

The Japanese Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the correlator for a spectrum diffusion communication used by the receiver side of the spectrum diffusion communication system in mobile communications, wireless LAN, etc., and relates to the correlator for a spectrum diffusion communication which can reduce a logical circuit scale sharply compared with digital MF (Matched Filter) especially made indispensable in this field.

[0002]

[Description of the Prior Art] With the spectrum diffusion (Spread Spectrum:SS) communication system generally used for mobile communications or wireless LAN, two phases of performing a narrow-band modulation (primary modulation) to transmit data by the transmitting side, and performing a diffusion modulation (secondary modulation) further are modulated, data are transmitted, and after performing back-diffusion of gas to received data and returning to primary modulation, baseband signaling is reproduced by the usual detector circuit at a receiving side.

[0003] And concretely, the correlator for a spectrum diffusion communication for acquiring conventionally the correlation of an input signal by which the *** **** diffusion was carried out consists of a back-diffusion-of-gas circuit and a recovery circuit of a sign split multiplex modulation wave motion, the correlator for a spectrum diffusion communication performs synchronous usurpation, and in order to take synchronous phase **** detected henceforth, the slide correlator (SC) which consisted of a logical circuit is used.

[0004] If a slide correlator shifts 1 bit (diffusion sign) of office sign sequences at a time using a 1-bit correlator, the correlation with the sign sequence of a reception is searched for each time and a correlation is searched for about the number of bits of only sign sequence length, it will be asked for the synchronous phase from which a correlation serves as a peak, and synchronous usurpation will be performed.

[0005] Here, the slide correlator which is one of the conventional back-diffusion-of-gas circuits is explained using drawing 6. Drawing 6 is a configuration block view of a part of conventional slide correlator. The fraction which acquires the correlation output in the conventional slide correlator consists of A/D converter 31, the multiplier 32, a PN code register 33, an adder 34, and a delay element 35.

[0006] Each part of the above-mentioned conventional slide correlator is explained. A/D converter 31 is a highly precise analog-to-digital converter which changes into a digital signal the analog signal which the sign split multiplex (Code Division Multiple Access:CDMA) modulation was carried out, was transmitted, and was received with the antenna (not shown). PN code register 33 is a register which outputs PN (Pseudo Random Noise) sign code which is the same diffusion sign as having been used for CDMA modulation by the transmitting side.

[0007] A multiplier 32 is a multiplier which carries out the multiplication of the PN code outputted to the digital received data outputted from A/D converter 31 from PN code register 33. An adder 34 and the delay element 35 carry out 1 symbol term accumulation of the multiplication result outputted from a multiplier 32, and output the integration value as a correlation output.

[0008] The analog signal of the received data received with the antenna is changed into a digital signal by A/D converter 31, a multiplication is carried out with PN code and the multiplier 32 which are outputted from PN code register 33, it accumulates it by the adder 34 and the delay element 35, and the addition result for one symbol outputs an operation of the conventional slide correlator as a correlation output. And a multiplication and accumulation are repeated, 1 chip ** carrying out timing of the multiplication in a multiplier 32, and changing a phase, and the synchronous phase from which a correlation output serves as a peak detects.

[0009] The configuration using a slide correlator as this back-diffusion-of-gas circuit is comparatively simple, and although the gate number is also said that there is also little power consumption few therefore, generally time until it performs synchronous usurpation has the problem take time until it obtains a correlation output only several chip minutes in the time x1 symbol for one symbol for such a reason.

[0010] In order to solve the trouble of taking time before obtaining a correlation output, it considers using a ***** VCF (matching filter or Matched Filter:MF) for the correlator for a spectrum diffusion communication instead of the slide correlator. A ***** VCF performs synchronous usurpation within 1 symbol time by taking the correlations at the time of shifting a phase all at once.

[0011] Here, the ***** VCF which is another example of the conventional back-diffusion-of-gas circuit is explained using drawing 7. Drawing 7 is a block diagram showing the example of a configuration of the conventional ***** VCF. The conventional ***** VCF consists of A/D converter 41, the multiplier 42, a PN code register 43, an adder 44, and a sample hold (S/H) circuit 45.

[0012] Each part of the above-mentioned conventional ***** VCF is explained. A/D converter 41 is a converter which changes into a digital signal the input signal of the analog by which CDMA modulation is carried out. The sample hold (S/H) circuit 45 is a circuit which are prepared, incorporates the digital signal from A/D converter 41 one by one, and holds it. [two or more]

[0013] PN code register 43 is a register which outputs the PN code (code) which is a diffusion sign. A multiplier 42 is a multiplier which carries out the multiplication of the PN code from PN code register 43 to the digital signal held by each sample hold circuit 45. An adder 44 is an adder which add the output from a multiplier 42 all at once.

[0014] The input signal by which digital conversion of the operation of the conventional ***** VCF was carried out by A/D converter 41 is held one by one in two or more S / H circuits 45, the multiplication of the PN code outputted from the output and PN code register 43 from its S / H circuit 45 is carried out with a multiplier 42, they add the multiplication result in a multiplier 42 all at once with an adder 44 further, and an addition result is outputted.

A correlation output is obtained from the addition result.

[0015] However, with the common ***** VCF, to the slide correlator which takes the correlation at the time of shifting phases all at once and which carried out the sake, for example, the above-mentioned explanation, the gate number several times the chip in 1 symbol of this is needed, a gate scale increases, and for cause increase of power consumption and using for the receiver of a move terminal, it has become **** as a matter of fact.

[0016]

[Problem(s) to be Solved by the Invention] Thus, with the conventional slide correlator, there was a problem take time until a correlation output is obtained, and with the conventional ***** VCF, the gate number increased and there was a trouble of bringing increase of power consumption.

[0017] It aims at offering the correlation circuit for a spectrum diffusion communication which it was able to succeed in this invention in view of the above-mentioned actual condition, it can make a configuration element number small-scale compared with a ***** VCF, and can obtain a correlation output.

[0018]

[Means for Solving the Problem] Invention according to claim 1 for solving the trouble of the above-mentioned conventional example In the correlation circuit for a spectrum diffusion communication, the input signal by which the spectrum diffusion was carried out is written in memory. It is characterized by repeating processing which reads the written-in signal by which the spectrum diffusion was carried out from the aforementioned memory to a high speed from drawing speed, and performs a diffusion sign and a sum-of-products operation at high speed two or more times, a configuration element number can be made small-scale compared with a ***** VCF, and a correlation output can be obtained.

[0019] Invention according to claim 2 for solving the trouble of the above-mentioned conventional example One or more receive sections which receive the signal by which the spectrum diffusion was carried out in the correlation circuit for a spectrum diffusion communication, The one or more memory sections holding the signal which carried out [aforementioned] the reception and by which the spectrum diffusion was carried out, The one or more multiplication sections which perform the multiplication of the signal and diffusion sign which were held at the aforementioned memory section, Have one or more adder units adding the aforementioned multiplication result, and the time sharing of the signal which is inputted from the one or more aforementioned receive sections and by which the spectrum diffusion was carried out is carried out in time when it is shorter than chip time or the concerned chip time. The signal which carried out the time sharing is held above by at least 1 symbol among the aforementioned memory section. It reads at high speed after the concerned hold in time when it is still short than the time when it is shorter than the aforementioned chip time. The multiplication with a diffusion sign is performed in the aforementioned multiplication section, it is characterized by adding the concerned multiplication result by the aforementioned adder unit, and acquiring a correlation, a configuration element number can be made small-scale compared with a ***** VCF, and a correlation output can be obtained.

[0020] In the correlation circuit for a spectrum diffusion communication according to claim 2, the memory section is characterized by writing and read-out being 2 port memory which can be performed by time [to differ moreover] width of face simultaneously by invention according to claim 3 for solving the trouble of the above-mentioned conventional example.

[0021] Invention according to claim 4 for solving the trouble of the above-mentioned conventional example In the correlation circuit for a spectrum diffusion communication according to claim 2 the multiplication section It is the multiplier which carries out the multiplication of the signal with which the spectrum diffusion of a 1-bit diffusion sign and the many bits was carried out, and is characterized by being the multiplier which operates by the logic which will output many bits as they are if a diffusion sign is "1", and will output inversion of many bits if a diffusion sign is "0."

[0022] Invention according to claim 5 for solving the trouble of the above-mentioned conventional example is characterized by an adder unit being acceleration **** which has the delay element which the output from the adder and the aforementioned adder of many bits is considered as an input, and only 1 unit time is delayed, and is returned to the aforementioned adder in the correlation circuit for a spectrum diffusion communication according to claim 2.

[0023] Invention according to claim 6 for solving the trouble of the above-mentioned conventional example In the correlation circuit for a spectrum diffusion communication, 2 sets of the correlator for a spectrum diffusion communication according to claim 1 are prepared. The receive section in the aforementioned correlator is made common, the multiplication of the in-phase component (I) and quadrature component (Q) of a rectangular detection signal of the signal which was detected by the aforementioned receive section and by which the spectrum diffusion was carried out is carried out with a different diffusion sign, and it is characterized by adding each multiplication result.

[0024] Invention according to claim 7 for solving the trouble of the above-mentioned conventional example In the correlation circuit for a spectrum diffusion communication, prepare 4 sets of correlators for a spectrum diffusion communication of a claim 1, and 2 sets is made into a pair. The in-phase component (I) and quadrature component (Q) of a rectangular detection signal of a signal which make common the receive section in the correlator of the concerned pair, and were detected by the aforementioned receive section and by which the spectrum diffusion was carried out A multiplication is carried out with the diffusion sign from which the 1st and the 2nd are different within each pair, and it is characterized by adding comrades respectively and compounding them, as a result of calculating four correlation outputs which add each multiplication result and were obtained with the diffusion sign of the above 1st and calculating with comrades and the diffusion sign of the above 2nd.

[0025] The memory section is 2 port memory which can be performed by time [when, as for invention according to claim 8 for solving the trouble of the above-mentioned conventional example, writing moreover differs from read-out simultaneously in the correlation circuit for a spectrum diffusion communication according to claim 2] width of face, and read-out is characterized by being the memory which can be read in many taps and many bits at a stretch by one symbol.

[0026] Invention according to claim 9 for solving the trouble of the above-mentioned conventional example In the correlation circuit for a spectrum diffusion communication according to claim 8 the multiplication section It is the multiplier which carries out the multiplication of several multi-tap minutes of the signal with which the spectrum diffusion of a 1-bit diffusion sign and the many bits was carried out. It is characterized by being two or more multipliers which operate from the logic which will output many bits as they are if a diffusion sign is "1", and will output inversion of many bits if a diffusion sign is "0."

[0027] Invention according to claim 10 for solving the trouble of the above-mentioned conventional example is

characterized by for an adder unit being the adder of two or more many bits, and being two or more adders adding the multiplication result of the many taps in which it succeeded in the multiplication section in the correlation circuit for a spectrum diffusion communication according to claim 9.

[0028] Invention according to claim 11 for solving the trouble of the above-mentioned conventional example The A/D converter which changes into a digital signal the input signal of the analog by which the spectrum diffusion was carried out in the correlation circuit for a spectrum diffusion communication, By at least 1 symbol, in time when it is shorter than chip time or the concerned time, carry out the time sharing of the above, write it in, and it is held about the signal changed into digital one. Two or more sample hold circuits which carried out [aforementioned] the time sharing to the high speed, and were held from the aforementioned drawing speed and which are read one by one for every sample, The high-speed correlator which carries out a sum-of-products operation at the code generator made to generate a diffusion sign, the diffusion sign which inputs the signal for one symbol one by one at high speed for every sample from the aforementioned sample hold circuit, and is inputted from the aforementioned code generator, and a high speed, While the above signal is made to write in two or more aforementioned sample hold circuits by one symbol and a high speed is made to start read-out of a signal from drawing speed from the aforementioned sample hold circuit to the aforementioned high-speed correlator for every sample It is characterized by having the control section which makes two or more aforementioned sample hold circuits start the writing of the above signal by the one following symbol, a configuration element number can be made small-scale, and a correlation output can be obtained.

[0029] Invention according to claim 12 for solving the trouble of the above-mentioned conventional example The A/D converter which changes into a digital signal the input signal of the analog by which the spectrum diffusion was carried out in the correlation circuit for a spectrum diffusion communication, By at least 1 symbol, in time when it is shorter than chip time or the concerned time, carry out the time sharing of the above, write it in, and it is held about the signal changed into digital one. 2 port memory which carried out [aforementioned] the time sharing to the high speed, and was held from the aforementioned drawing speed and which is read one by one for every sample, The high-speed correlator which carries out a sum-of-products operation at the code generator made to generate a diffusion sign, the diffusion sign which inputs the signal for one symbol one by one at high speed for every sample from the aforementioned 2 port memory, and is inputted from the aforementioned code generator, and a high speed, While the above signal is made to write in the aforementioned 2 port memory by one symbol and a high speed is made to start read-out of a signal from drawing speed from the aforementioned 2 port memory to the aforementioned high-speed correlator for every sample Two or more memory cells holding the signal with which it has the control section which makes the aforementioned 2 port memory start the writing of the above signal by the one following symbol, and the spectrum diffusion of the aforementioned 2 port memory was carried out, The 1st address decoder written in the memory cell which corresponds the signal from the aforementioned A/D converter with the designation from the aforementioned control section, The 2nd address decoder which reads a signal from the memory cell which corresponds with the designation from the aforementioned control section to a high speed from drawing speed, It is characterized by being 2 port memory equipped with the sense amplifier which amplifies the output from the 2nd aforementioned address decoder, a configuration element number can be made small-scale compared with a ***** VCF, and a correlation output can be obtained.

[0030] Invention according to claim 13 for solving the trouble of the above-mentioned conventional example In an interference canceller equipped with two or more interference canceller units which have a ***** VCF respectively to the in-phase component (I) and quadrature component (Q) of a rectangular detection signal of a signal which were received, and by which the spectrum diffusion was carried out Writing and read-out prepare simultaneously the memory which can moreover be read to a high speed from drawing speed in the preceding paragraph of the aforementioned ***** VCF. The aforementioned ***** VCF is characterized by being the ***** VCF which carries out data processing of the signal read from the aforementioned memory at high speed at high speed, can make a configuration element number small-scale, and can cancel an interference.

[0031]

[Embodiments of the Invention] It explains, referring to a drawing about the gestalt of operation of this invention. The correlation circuit for a spectrum diffusion communication concerning the gestalt of operation of this invention About the signal which is delivered from a receive section and by which the spectrum diffusion was carried out, usually The place currently processed by the diffusion sign by the so-called chip time interval The signal which memorizes temporarily the signal by which the spectrum diffusion was carried out in memory, and was memorized and by which the spectrum diffusion was carried out is read at high speed. It enables it to repeat processing which performs the sum-of-products operation of the signal and diffusion sign which were read at high speed two or more times, a configuration element number can be made small-scale, and a correlation output can be obtained.

[0032] Time conversion of a signal which is carrying out a sum-of-products operation, and is inputted into a diffusion sign and a high speed from a receive section and by which the spectrum diffusion was carried out is realized, specifically storing the signal by which the spectrum diffusion was carried out in memory by at least 1 symbol, and reading it at high speed.

[0033] The chip speed of the so-called wideband CDMA (wideband CDMA) proposed from ARIB (Association of Radio Industries and Businesses) by IMT2000 now is 4M(megger) cps (chip per second). On the other hand, if the manufacture process of LSI (large-scale integrated circuit) in 2001 that wideband CDMA is put in practical use is used, in the case of CMOS (complementary MOS), line breadth is set to about 0.18 micrometers, and, as for the clock frequency to use, 500MHz to 2G(G) Hz is expected.

[0034] That is, compared with the frequency of an input signal, far high processing becomes possible in a circuit. Since chip speeds are 4Mcps, although it is necessary to mince a signal by this sampling of about 4 times from on signal processing, and to observe the matching with a diffusion sign to a precision more The clock still used for processing of an input signal will be processed by 16MHz, and if 1.6GHz becomes usable as a clock rate of the clock used for internal processing of another side and a circuit, internal processing will be equipped with a 100 times as many throughput as this to processing of an input signal.

[0035] When making the same function as a ***** VCF attain, the signal which was received by 16MHz unit and by which the spectrum diffusion was carried out is accumulated in memory as usually carried out, it is read at the high speed of 1.6GHz, and if the slide correlator of high-speed processing performs a sum-of-products operation at high speed, it can process by one 100 times the speed of this. Therefore, since 100 sample presence will be recognized by the over sampling technique 4 times if it is the case where the number (diffusion coefficient) of chips

is 25, it is enabled to take a correlation of one symbol in same 1 symbol time as a ***** VCF.

[0036] In this case, although a diffusion code is repeatedly used 100 times without making it change by one symbol, the signal by which the spectrum diffusion was carried out has the need of making it sliding by 1 sample unit, and it is necessary to prepare it by a minimum of 2 symbols as memory.

[0037] First, if a part for one symbol is written in the 1st memory by 16MHz, while it will perform a part for the one following symbol and it will be written in the 2nd memory for every sample, you make it slide one sample of the data for one symbol at a time by 1.6GHz from the 1st and 2nd memory, and read-out is performed 100 times.

[0038] That is, making it slide one sample of the data for one symbol at a time from the 1st memory in which the data for one symbol were written, and the 2nd memory by which it succeeds in writing for every sample, and performing read-out 100 times by 1.6GHz About the 2nd memory, writing and read-out will be performed simultaneously, and the signal with which the spectrum diffusion of [for the one symbol just following] was carried out will be read into the 2nd memory at time to read the data for one symbol. If this operation is performed by turns by the 1st memory and 2nd memory, the writing to the memory of the signal by which the spectrum diffusion was carried out continuously, and read-out can be operated. Therefore, it is enabled to always send out a correlation output like a ***** VCF.

[0039] Although the above-mentioned diffusion coefficient changes with physical channels in the case of wideband CDMA, it becomes four chips at the lowest, and becomes required 256 *****s by the maximum. However, you may think that a chip speed is fixed at 4.096Mcpses in this case. In addition, it may rise to 16.384Mcpses the adjustable rates are assumed to be in the future. Therefore, when 256 *****s are taken for it being required by the maximum, with the slide correlator (high-speed SC) of high-speed processing of a piece, it can process actually. In this case, what is necessary is to prepare two or more high-speed SCs, to shift one sample of the same operations at a time, and just to perform them.

[0040] Specifically, since it becomes 1024 samples (256 chip x4 over sampling technique) in the case of 256 chips, as a data read-out clock from memory, a 1.6GHz clock is usable, and a dry area needs 11 high-speed SCs, in order for a 1.6GHz clock to perform processing of being 100 times many as this. Correspondence to 1100 samples (100 sample x11 piece) is attained at 11 high-speed SCs. Even in this case, if compared with the hard scale which constitutes the ***** VCF (MF) of 1024 taps, it can realize on a scale of [far few] hard.

[0041] It is effective in reducing LSI cost that MF section which occupies the great portion of recovery section of wideband CDMA becomes about 1/10 since a hard scale becomes about 1/10 in the circuit concerning the gestalt of operation of this invention.

[0042] In addition, although the above-mentioned example explained the case where a diffusion sign was not exchanged, the signal is fixed and it is enabled to specify a diffusion sign for a short time, and to obtain a correlation output, if it performs exchanging a diffusion sign.

[0043] Moreover, if the sum-of-products computing element of MF configuration is prepared instead of high-speed SC and read-out from memory is performed by the many taps of a symbol unit, it will be enabled to output the correlation output to the case of a short time, for example, 1GHz clock, in 1ns (nanosecond) extremely. This is effective, when much memory is prepared, the information on many symbol units is accumulated in these memory and it obtains the correlation output. That is, if it is original, even when two or more MF is required, processing will become possible at one MF.

[0044] In addition, when going for the thing which needs MF operation to catch the long mask symbol of the first 1st stop tree among initial synchronous in wideband CDMA system that is, it is only at the symbol synchronization and slot synchronous establishment time, and has become the gestalt allowed an intermittent operation except it. An initial synchronization specifies a long code group as the long mask symbol of the 2nd stop tree, after catching the long mask symbol of this 1st stop tree. This can be attained by restoring to the input signal at the time of an identity in another short code. Furthermore, a long code is specified in the location of the pilot symbol of the 1st stop tree. Thereby, an initial synchronization can be attained about.

[0045] The time which must complete these operations goes these operations to two or more base stations, and is made into less than 3 seconds. Time to go to catch an early long mask symbol in this is in between (less than at least 1 second) very for a while, and if it takes into consideration that only the time of switching on performs the above-mentioned operation to the whole duration of a call even if power consumption becomes large here, it can be said that there is almost no influence to a cell. That is, it becomes that what is necessary is just to usually perform SC operation intermittently, and a reduction of power consumption can also be attained synthetically.

[0046] Next, the correlation circuit for a spectrum diffusion communication concerning the gestalt of operation of this invention is explained using drawing 1. Drawing 1 is a configuration block view of the correlation circuit for a spectrum diffusion communication concerning the gestalt of operation of this invention. In addition, an operation (at the time [Usually] of a communication) after establishing the symbol synchronization with an operation simple first comparatively, a radio slot synchronization, and frame synchronization is explained here. The correlation circuit for a spectrum diffusion communication of the gestalt of this operation (this circuit) The code generator 13 which generates the PN code (PN code) of time series as shown in drawing 1, Two or more sample hold (S/H) circuits 15 as A/D converter 11 which inputs the spectrum diffusion signal modulated by the PN code, and changes the analog signal into a digital signal, and memory section holding the digital signal, It consists of a control section 12 which controls I/O of the data to the high-speed correlator 16 which carries out sum-of-products data processing of the PN code outputted from two or more outputs and code generators 13 from S / H circuit 15 at high speed, and S / H circuit 15, the code generator 13 and the high-speed correlator 16 etc.

[0047] Usually, an operation of this circuit at the time of a communication is explained. The sample hold (S/H) circuit 15 is two or more trains preparation ***** about S / H string who connected S / H circuit 15 to two or more serials so that the role of the memory section which holds the digital signal inputted temporarily might be played and the data for one symbol could be held. And it incorporates in the S/each H circuit 15 with designation of a control section 12, shifting the data for one symbol of a signal from a head sample one by one. Here, since it is premised on a symbol synchronization, a radio slot synchronization, and frame synchronization being established, it turns out in which phase the head sample of a specific symbol exists.

[0048] The signal for one symbol is incorporated on S / H string. For example, if it is a 4 times over sampling technique in the case of a diffusion coefficient 128, it will incorporate to the series connection of S / H circuit of 512 totals. Then, a control section 12 makes it read at a sufficiently quick speed, for example, 1.6GHz, to S / H circuit 15 to old incorporation speed (about 16MHz, correctly [if it is a usual 4 times over sampling technique] 4 4.096MHz times), i.e., sample speed.

[0049] In response to the output, the high-speed correlator 16 performs a sum-of-products operation with a 1.6GHz high-speed clock. At this time, a diffusion sign (PN code) is received with a 1.6GHz clock one by one from the code generator 13. Here, the code generator 13 may be a code register. the control section 12 same also as occurrence and read-out of this sign — therefore, it is controlled In addition, the multiply operation in which it succeeds with the high-speed correlator 16 will output the data (many bits) from the memory section as it is, if a diffusion sign is "1", and if a diffusion sign is "0", it will output inversion of many bits.

[0050] Consequently, data read-out from S / H circuit 15 and sum-of-products data processing in the high-speed correlator 16 are completed to within a time [of the time which carried out business to the writing of one symbol / 1/100 of]. Therefore, if another symbol is stored in other S / H strings of the memory section, the correlation can also be acquired with the high-speed correlator 16 one by one.

[0051] There are fairly many symbols which should be processed at this time actually, and supposing the number of antennas is two, when the signal which must be stored in the memory section per symbol as an input signal will take into consideration further a total of six multiple channels of a control and traffic of a complex modulating signal (I/Q) and a retardation wave motion component, the number of them is total [of 24-] 48.

[0052] In addition, since it must come to catch other base stations at the period at the time of DHO (tie-rod city hand-off), it doubles [the / one to]. 1 time, DHO is performed without making ***** increase by omitting the one section of the signal regeneration of the concerned base station while performing the present communication, reducing the number of passes, or carrying out a grade.

[0053] Moreover, the diffusion code is also formed into the complex modulation and, the case of the multi-code which changes a diffusion code further and is transmitted to this time, and in the case of the long code mask symbol of the 1st stop tree and the 2nd stop tree, it is necessary to perform the operation which makes an input signal the same, changes only a code, and obtains a correlation output.

[0054] therefore — if it is going to acquire a correlation using usual SC — the number of books of SC — at least 96 to the four to 5 times — about 500 are needed Furthermore, in addition to this, although the searcher for obtaining a synchronization is required, the ***** VCF (MF) method is usually used for the searcher, and a hard scale becomes about 100 to 300 times compared with SC.

[0055] Specifically, about about 200 gates of the gate numbers of SC are **ed, and the gate number of MF of operation precision is about 60 k gate grade need. However, since the operation precision for a data recovery of wideband CDMA is not needed, 10k gate grade will be sufficient with an operation of a searcher. Moreover, one more may be needed, in order the searcher is required and to correspond for every antenna at the time of DHO.

[0056] In the above-mentioned status, if this circuit is used, although the memory section must establish newly, it is enabled to make it 1 figure and the reduction of a large hard scale is possible for the number of books of a high-speed correlator. Furthermore, since it becomes unnecessary [the searcher for synchronous usurpation] so that it may mention later, a reduction of a still large hard scale is brought.

[0057] In addition, you may be anything, if it is the memory which fulfills the following conditions of course, although S / H circuit was explained as memory section here. As the 1st condition, it reads with the drawing speed of data and a speed is made to adjustable. As the 2nd condition, read-out and the writing of data can perform simultaneously. As the 3rd condition, the bit length per one sample is that are 1 bits or more, are 4-6 bits if it can do, and simultaneous write-in read-out is possible per sample. Furthermore, read-out is possible (this is because corresponding to the ***** VCF method mentioned later) also per symbol as conditions (the 4th condition) that the following is desirable.

[0058] Therefore, DRAM (Dynamic Random Access Memory) of two ports etc. is usable enough, and if compared with S / H circuit constructed by F/digital F (Flip-Flop), a reduction of a large chip occupancy area and **** of power consumption will become possible.

[0059] In the correlation circuit for a spectrum diffusion communication concerning the gestalt of operation of this invention, the example which used the memory cell of 2 port memory instead of S / H circuit is explained using drawing 2 . Drawing 2 is a configuration block view of another example of the circuit for a spectrum diffusion communication concerning the gestalt of operation of this invention. As shown in drawing 2 , the concerned circuit consists of A/D converter 21, the control section 22, a code generator 23, 2 port memory 20, and a high-speed correlator 26, and 2 port memory 20 consists of an address decoder 24, two or more memory cells 25, an address decoder 27, and a sense amplifier 28.

[0060] Here, A/D converter 21, the code generator 23, and the high-speed correlator 26 serve as A/D converter 11 shown in drawing 1 , the code generator 13, and the same configuration as the high-speed correlator 16. The configurations which are different from the circuit of drawing 1 are 2 port memory 20 and the control section 22. Hereafter, these are explained.

[0061] Like S / H circuit 15, one sample of digital input signals is written at a time in the memory cell 25 in 2 port memory 20 by one symbol through an address decoder 24, it holds them from A/D converter 21, and an address decoder 27 reads the signal for one symbol for every sample.

[0062] An address decoder 24 writes the digital signal inputted from A/D converter 21 in a memory cell 25 with a 16MHz clock according to the address into which it is inputted from a control section 22. Moreover, an address decoder 27 reads data from a memory cell 25 with a 1.6GHz clock according to the address inputted from a control section 22, and outputs them to a sense amplifier 28. A sense amplifier 28 amplifies the data inputted from an address decoder 27 to H (High) or L (Low) to clock timing as compared with a reference value, and outputs them to the high-speed correlator 26.

[0063] A control section 22 outputs the address of the memory cell 25 to which writing or read-out accesses address decoders 24 and 27 while it controls the code generator 23 and makes a diffusion sign (PN code) output to the high-speed correlator 26.

[0064] If the operation of a circuit in drawing 2 is explained, an input signal will be changed into a digital signal by A/D converter 21, and the digital signal from which the address decoder 24 was changed into the address specified by the control section 22 will be written in a memory cell 25 by one symbol with a 16MHz clock. If it writes in by one symbol, although the writing for the one following symbol will be started continuously, in an address decoder 27, it reads, shifting at a time one sample of the data for one symbol already written in from the memory cell 25 according to the address specified from the control section 22 with a 1.6GHz clock, and outputs to a sense amplifier 28. In a sense amplifier 28, an input signal is amplified and it outputs to the high-speed correlator 26, and the high-speed correlator 26 performs a sum-of-products operation at high speed with a 1.6GHz clock, and a correlation is acquired and

outputted.

[0065] Although the operation (at the time [Usually] of a communication) after establishing a symbol synchronization, a radio slot synchronization, and frame synchronization was explained above next, the time of the initial synchronization which these synchronizations have not established is explained. At the time of an initial synchronization, it is in the status which turned on the line rocker switch of a move machine, and a symbol synchronization, a radio slot synchronization, and frame synchronization must not yet be established, but a synchronization must be specified in the status. By the specification of ARIB, an initial synchronization is established as follows.

[0066] As the 1st step, an establishment a chip synchronization, a symbol synchronization, and radio slot synchronization is performed. the [first,] — the long code mask symbol of 1 stop tree is detected, and a chip synchronization, a symbol synchronization, and a radio slot synchronization are established As conditions of the following and an explanation, the chip rate of the 1st stop tree is set to 4Mcpes, a diffusion coefficient is set to 256, and the signal input from A/D converter 11 is made into an over sampling technique (16Mcpes) and 6 bits 4 times.

[0067] And the configuration and operation at the time of an initial synchronization are explained to the following (A) – (N). In addition, although explained on the basis of the example of drawing 1, unlike the thing of the above-mentioned drawing 1, the precision of the concrete configuration of each part and the read-out speed of data etc. is highly efficient and highly precise.

[0068] (A) The memory section is taken as 1024 taps (6 bits is ***** image to 1024 piece width) +alpha (number tap).

(B) Write the output from A/D converter 11 in this memory section one by one. Drawing speed uses a 16MHz clock.

(C) If it writes in 1024 taps (a part for one symbol [Exactly] of a stop tree channel) exactly, it will read from the first one tap at the speed of 16.384GHz (1024 16MHz times) one by one, and will input into the high-speed correlator 16. 16MHz writing is continued and advanced.

[0069] (D) The high-speed correlator 16 executes a sum-of-products operation with a 16GHz clock. The diffusion code at this time is a common short code.

(E) Since the speed of the high-speed correlator 16 operates by 1024 times of a sample speed, when it finishes acquiring the correlation for one sample, it will take 1 sample time exactly. It is at this end time, and since it is writing in at the speed of 16MHz, the new input data for one sample is incorporated.

[0070] (F) Since it next shifted by .1 sample and read-out was started from the 1st (the first one tap) in the phase of the above (C), shortly, start read-out from the 2nd tap, read the data for one symbol to the 1025th tap by 16GHz, and the high-speed correlator 16 performs a sum-of-products operation. The adder circuit of the high-speed correlator 16 calculates, after clearing the end result in (D) phase.

(G) Thus, if sequential operation is performed and it repeats 1024 times from the beginning, the correlation output for one symbol can be obtained.

(H) **** and this by which time to complete the above-mentioned (G) phase is equivalent to 1 symbol time exactly — one by one — being repeatable — a correlation output can be obtained also about the following symbol

[0071] (I) Since the long code symbol diffused in short code is inserted only once in ten symbols, you have to repeat it by at least 10 symbols to discover the base station of No. 1 [about] (0.625ms / 10 symbol). In addition, this duration does not change with the case where usual MF is used.

(J) In addition, although the memory section is enough for 1024 tap owner **** principle target, since it does not eliminate in relation with signal-processing retardation, it has established additional coverage. What is necessary is to update by returning to 1 tap scale division of 1025 tap writing ***** beginning, and just to go.

[0072] (K) Thus, if it sees by at least 10 symbols, it is possible to take a radio slot synchronization also including an adjoining base station from the position of a chip synchronization, a symbol synchronization, and long code mask symbol of an enrollment base station. If a clock is 16GHz, processing in the real time will be attained with one high-speed correlator. This processing is performed by the profiler and the time is specified with the logic which measures and detects the strongest correlation output. Of course, if the communication status is bad, when it cannot judge only by the data for these ten symbols (equivalent to 1 radio slot), a part for the ten following symbols is doubled and judged. Within a profiler, an addition etc. is carried out and it is made to judge the result in the sample unit in phase within 1 radio slot. Anyway, what is necessary is just to repeat the above-mentioned data processing continuously.

[0073] (L) When so quick a thing will not be obtained although **** [the number of high-speed correlators / one] if a clock is 16GHz, two or more high-speed correlators will be prepared. For example, when it can operate only with an about 1GHz clock, 16 high-speed correlators are needed in the sum.

(N) Some proposals can be considered in this case to the method of read-out from the memory section, and the technique to two or more high-speed correlators to incorporate. Hereafter, it explains to (i) – (iv).

[0074] (i) .16GHz — the same — every [1 for one symbol (1024 taps) tap (one sample)] — it reads from the 1-16th high-speed correlators one by one, and the 17th sample or subsequent ones reads from the 1-16th high-speed correlators one by one, and, finally it reads a part for one symbol

[0075] If the incorporation by the high-speed correlator is explained concretely, the 1st high-speed correlator will perform the first sample to the 2nd high-speed correlator from 2 sample scale division. 3rd henceforth is performed similarly. The 16th high-speed correlator starts incorporation from 16 sample scale division. The sign inputted into 16 high-speed correlators is good at an identity (including a phase).

[0076] The trouble in this case can take [high-speed correlators other than the 1st] no correlations by one symbol. For example, the 2nd will take the correlation for 1023 samples, and the 16th will take the correlation for 15= 1024-1009 sample. If it carries out from the purpose which takes an initial synchronization since the 16th becomes only 2% or less of decrement although it is the so-called partial correlation, it is not the forge fire made into a problem.

[0077] (ii) A part for 1024 +16 tap (sample) is memorized among . memory section, and it reads for every sample using the 1-16th high-speed correlators. After this is completed, next, it reads from the 17th sample for every sample using the 1-16th high-speed correlators, and it repeats the same processing and reads a part for 1040 taps. If it does in this way, all 16 high-speed correlators can acquire the correlation for a part for 1024 samples, 1 [i.e.,], symbol.

[0078] Like the case of (i), the 1st high-speed correlator is performed from the beginning to 1024 samples, and the concrete method of incorporation performs the 2nd high-speed correlator from 2 sample scale division to 1025 samples. However, it is necessary to make quick the read-out speed from the memory section, and the operation

speed in a high-speed correlator by 16 taps in this case. Moreover, it is necessary to also accumulate many numbers of taps which should be first accumulated among the memory section 16 samples, and memory space increases them from a part for one symbol slightly. The diffusion sign which gives each high-speed correlator also in the above-mentioned case is the same also including the phase.

[0079] (iii) Read-out from memory section is performed like (i). The sample same as the incorporation by all high-speed correlators is incorporated at this time. However, only 1 sampling time changes a phase and the diffusion sign to each high-speed correlator has given. That is, the 1st high-speed correlator is supplied one by one from the 1st sign (it is the same as that of 1 sample scale division), the 2nd high-speed correlator is supplied one by one from the sign of 2 sample scale division, and the last returns and is ended by 1 sample scale division. The 3rd high-speed correlator or subsequent ones supplies a sign similarly.

[0080] It is not the forge fire made into a problem, judging from the purpose which takes an initial synchronization since it is only very as low as 2% or less that the straddled fraction only serves as a noise also as for the amount even if it straddles other symbols, since only this symbol is diffused in short code as the long code mask symbol, although the trouble in this case will take a correlation ranging over a symbol after the 2nd high-speed correlator.

[0081] (iv) Although the above-mentioned method described the case where only the 1st page was preparing memory, it is as having already stated that memory is the multiple need, and the 24 [at least / or more]th page of the number is required. Memory is prepared the 22nd page and a part (1 radio slot) for ten symbols is first accumulated to the 11th page of the first half. If a store is completed, read-out of ten symbols will be started for every symbol from the head of one symbol at a speed (1.6GHz) 100 times the speed of a sample. Ten high-speed correlators receive the output of these ten symbols. In this case, the same diffusion sign is used.

[0082] If read-out for one symbol and the operation in a high-speed correlator are completed, processing for one symbol will be again repeated from the following sample. This operation will be completed 1024 times and will obtain the correlation output for one symbol by ten symbols. The following information for 1 radio slot (a part for ten symbols) is stored also in the memory matte of the 11th page of the second half at this time.

[0083] Here, the 1st content of an information of the 1st information of the memory mattes of the 11th page of the first half and the memory matte of the 11th page of the second half presupposes that it is the same. Therefore, simultaneous writing is performed in both memory and the information on this 1st memory matte will always constitute the 1st information in 1 radio slot. If this has a total of the 21st page of a memory matte, it will also become that what is necessary is just to write a new information in the memory matte which read-out completed one by one. If processing of 1 radio slot is completed and the same operation will be repeated using the information from the memory of the 11th page that the new information is accumulated about the 2nd radio slot using the same high-speed correlator, a correlation of the following radio slot will be acquired.

[0084] Since the hard scale of MF occupies the half of the recovery section, it is very effective in the price reduction of LSI that this becomes 1/10 compared with the conventional hard scale.

[0085] Next, specialization of a long code group is explained as the 2nd step. If a synchronization of a radio slot is establishable, since it turns out where the long code mask symbol of the 2nd stop tree exists, the information is incorporated in memory. In fact, since it exists in the same position as the long code mask symbol of the 1st stop tree, the information to acquire will be acquired in the same position.

[0086] And the information incorporated in memory is read at high speed using a clock (1GHz or 16GHz). Specifically, it reads one by one from 1 sample scale division to 1024 sample scale division. In this case, since the symbol synchronization is established, 1 sample scale division are surely the heads of a symbol. Since a correlation will be acquired by either if 16 kinds of diffusion signs are exchanged using a high-speed correlator and the information read from memory is processed, a long code group can be specified. Though specialization of this long code group is operated with a 1GHz clock, to it, at one high-speed correlator, or to it, it can complete in 16 microseconds. In addition, 1 symbol time is 62.5 microseconds.

[0087] Next, specialization of a long code and an establishment of frame synchronization are explained as the 3rd step. If a synchronization of a radio slot is establishable, since it turns out where the pilot symbol of the 1st stop tree exists, the information is incorporated in memory. An information may also be shortly incorporated by two symbols, and if there is idle memory, you may be made to incorporate by 4 of all pilot symbols symbols.

[0088] If incorporation of an information is completed, it will read at high speed like the case where it is the 2nd step. In all the modality of long code containing phase contrast in 1 long code group 32 kinds, Since a phase becomes the repeat of 16 radio slot and 16 kinds exist Even if it carries out by exchanging a long code with one correlator It can specify in 32(32 kinds) x16(16 phases) x4(pilot wave for four symbols) x1(time for acquiring the correlation for one symbol [1024 sample] in 1 1 microsecond :GHz clock use) =2048microsecond (about 2ms).

[0089] If specialization of a long code is performed by the real time using a usual correlator Since a pilot symbol exists in ten symbols only 4 times at 1 symbol time (64 microseconds) x32(32 kinds) x16(16 phases)

=32768microsecond (about 33ms). Since it becomes such a thing, if this circuit is used as compared with the conventional correlator, large time compaction is possible for 2.5 (10/4) or more (about 33msx 2.5) twice, i.e., 80ms.

[0090] As explained above, it turns out that it is only the 1st step that it must process at high speed in fact. Even if it uses a process (CMOS 0.18micrometer) utilizable as an actual problem in 2001, it is **** to generate a 16GHz clock. Then, although it can attain if two or more high-speed correlators are used as mentioned above, how to extend and perform time until it thins out an operation of the 1st step in time and it finds out a long code mask symbol as the other technique can be considered.

[0091] Hereafter, the duration in each step in the ideal status is written. Conditions are considered as the case where 1GHz clock is usable.

the 1st — step:0.625ms (the same as that of the conventional method)

the 2nd — step:0.016ms (the conventional method 1 radio slot 0.625ms)

the 3rd — step:2ms (the former 80ms)

[0092] Actually, since 1 radio slot is necessary to one processing, it is written per radio slot to it.

the 1st — step:1 (the same as that of the conventional method)

the 2nd — step:1 (the same as that of the conventional method)

the 3rd — step:4 (in the former, it is set to 32x16=512 (512 radio slot x0.625ms=320ms), and in order to process still correctly, it will take this 4 to 5 times.)

Anyway, if it compared with the conventional method even if the time of the 3rd step is main, and it raises 1 figure of the time of the 1st step, since the time of the 3rd step is sharply shortened in this circuit, in addition, it would win.

[0093] Next, 1 figure of the time of the 1st step is raised, for example, the example in the case of spending and processing the time when it is 10 times many as this is explained. The incorporation of the data for ten symbols has become possible at the memory section, and the data for two symbols are first incorporated with a clock with a usual speed of 16MHz. The clock of read-out is set to 1.6GHz. In addition, if the number of high-speed correlators is increased to ten pieces, the thing in which the clock of read-out is possible at 160MHz should just use the method mentioned above.

[0094] The information from the memory section is received with a 1.6GHz clock with one high-speed correlator, and a part (1024 samples) for one symbol is calculated with a 1.6GHz clock. Next, it carries out [1 sample **] and same processing is performed. This is performed 1024 times and the correlation for one symbol is acquired. Moreover, among the memory section, the data for the two following symbols (the 3rd and 4 symbol) are incorporated following the data for the two above-mentioned symbol (the 1st and 2 symbol). And a correlation of the 2nd symbol is calculated using the data of the 2nd symbol and the 3rd symbol. A correlation is acquired about the 3-10th symbols as being the same as that of henceforth.

[0095] And in the processing time for the ten above-mentioned symbol, when it begins to write the information on 2 symbol scale division in memory among the informations for the ten following symbols in 1 radio slot and read-out of the information on the first 10 symbol scale division is completed in the phase which processing for nine symbols ended, writing is ended. If this is repeated 10 times, it applies to acquiring all correlations for ten symbols the time for 100 symbols, i.e., the time when it is 10 times many as this, and can complete. Since the sum of the 1st-3rd step is settled below in 20 radio slot, this also becomes an extensive improvement.

[0096] If ten pieces and memory are prepared for the 2nd page of a high-speed correlator even possible clock 160MHz also in a present process after all, 1/10 or more extensive improvements will be attained in initial synchronous time. Furthermore, if the number of mattes of the memory section is increased, it can carry out by doubling an above-mentioned method and the method of (iv), and the further improvement is possible. Especially, it contributes to a time improvement of the 3rd step.

[0097] Next, the operation at the time of DHO (diversity hand over or diversity hand-off) is explained. By the case where the communication environment with the base station (the present base station) which is performing the present communication gets worse (when it becomes the status of having approached the base station (contiguity base station) which keeps away from the base station where the case where they are many is communicating, and approaches) Although a contiguity base station is discovered first and the communication with the contiguity base station is begun when the communication environment with it better [to carry out the communication with a contiguity base station] is acquired, I have an information from the present base station, and the same information sent from a contiguity base station, and both are received. That is, a cell diversity reception is performed, it continues until the level of both input signals becomes beyond a predetermined value, and the communication with the present base station is cut after that, and it shifts to the communication status with a new adjoining base station. This is called soft hand over and soft hand-off, and communication without a break is enabled. Thus, it is DHO to perform a cell diversity reception and to perform soft hand over or a soft hand-off.

[0098] By the specification of ARIB, all base stations are asynchronous and are operating. Therefore, the processing as a case initial synchronous [above-mentioned] that the process in which a chip synchronization of an adjoining base station, a symbol synchronization, and a radio slot synchronization are established is the same is needed. Therefore, newly extending ***** is usually performed to DHO. A part for one antenna is specifically used independently, and it is turned to a contiguity base station, or the measures against a thing are taken. Here, hard empty time is used and the method which performs DHO is described.

[0099] In addition, even if it is the hard configuration of not corresponding to a book DHO, as mentioned above, the slide correlator of the masses which carry out the inverse transformation (recovery) of many memory and its information is installed. The maximum of these numbers is a time of stopping, when a move machine carries out switch-on, and catching a tree channel, and if the operation is completed, many will become good [a memory or slide correlator] at a dormant state. If it is used at the time of DHO, it can restore to the information from the base station of the hand exaggerated point satisfactory.

[0100] Next, this circuit is explained about the case where it uses as an interference canceller, using drawing 3 and the drawing 4 . Drawing 3 is a configuration block view which used the correlation circuit concerning the gestalt of operation of this invention for the interference canceller unit. Drawing 4 is a configuration block view of an interference canceller using the interference canceller unit concerning the gestalt of this operation. An interference canceller unit (ICU) is equipped with MF as the configuration is shown in drawing 3 , and further, since the interference canceller consists of many ICUs as shown in drawing 4 , it has brought increase of LSI scale, and increase of LSI number.

[0101] MF of a number [of number / of users / x stages] x integral multiple is specifically required, at least 3 is needed and, as for an integer, MF of at least 4 or 8, therefore 3000-10000 is needed [as for 300 or 600, and the number of stages] for the number of users. In the gestalt of this operation, this circuit in which high-speed data processing is possible is carried out among the above-mentioned MF section, and the number of MF is reduced sharply.

[0102] Moreover, as shown in drawing 4 , the memory section is prepared in the latter part of a receive section (RX) and two adders (+), and time conversion of processing speed is performed between an adder and two or more ICUs between an adder, a delay circuit, or two or more ICUs between ***** a delay circuit (Delay), or two or more ICUs. Therefore, the ***** VCF (MF) shown in drawing 3 processes a high-speed sum-of-products operation compared with usual MF.

[0103] In addition, the fundamental concept of this patent is in the correlator which used the time conversion by memory, and although the following ideas are incorporated, there is no change in the effect.

(1) The reduction of a clock rate by high-speed read-out using the high-speed correlator, and the multilayer clock in the case of an operation. In this case, since the number of books of a high-speed correlator increases, it is not directly connected with a reduction of power consumption.

(2) Adjustable [of the multiple of an over sampling technique]. An initial state is increasing 4 times, after ***** and carrying out outline defined etc. 2 double.

(3) When a high-speed correlator and MF (sum-of-products computing element) configuration are used as a complex type. By devising it, although a complex high-speed correlator (complex type high-speed SC) is theoretically constituted by four high-speed correlators as shown in drawing 8 , a hard scale becomes less than 4 times, and can

be constituted on a scale of twice [about]. In addition, drawing 8 is a circuit-arrangement block diagram at the time of using the high-speed correlator in the spectrum diffusion communication circuit concerning the gestalt of operation of this invention as a complex type. However, in drawing 8, in one complex type high-speed SC, this is the preceding paragraph of a correlator, in order to perform addition and subtraction of I which carried out the multiplication of the diffusion code, and a Q signal, it becomes unnecessary to use four correlators that the correlator is two pieces about four I and a Q signal, and processing of it is attained with two correlators.

[0104] That is, in the case of a complex multiplication, a time addition which is shown in the following formulas is performed.

$$(AI +jAQ)(CI +jCQ) \\ =AI CI -AQ CQ +j(AI CQ +AQ CI)$$

Although the time addition of AC is performed in one correlator in the case of not being complex Although four correlators are theoretically needed when in a complex case are and it adds it made to subtract, after performing a time addition of AI CI and AQ CQ and AI CQ and AQCI originally using four correlators the example shown in drawing 8 — AI — CI-AQ CQ — AI CQ+AQCI If a time addition is performed after calculating, the decrement of a hard scale will be enabled.

[0105] When the content of drawing 8 is explained, in addition, the configuration in complex type Input a spectrum diffusion signal and 6bitAs / D converter 81 which changes an analog signal into a digital signal are formed corresponding to I phase signal and Q phase signal. The digital signal outputted from this 6bitAs / D converter 81 is held. The memory section 82 outputted at high speed is formed, respectively, and two or more latch circuits 83 which adjust the timing of the signal of the data further inputted into complex type SCs 80a, 80b, and 80c and code others with a clock (CLK) are formed.

[0106] According to the correlation circuit for a spectrum diffusion communication concerning the gestalt of operation of this invention While A/D conversion of the input signal by which the spectrum diffusion was carried out is carried out with a 16MHz clock, it writes in the memory section by one symbol and the data for one symbol are read two or more times with a 1.6GHz — 16GHz 100 to 1000 times as many clock as this Since the high-speed correlator is made to perform high-speed data processing for the data for one read symbol, writing the data for the one following symbol in the memory section, it is effective in the ability to make a configuration element number small-scale and obtain a correlation output.

[0107]

[Example] Next, the concrete and fundamental circuit arrangement of the recovery section using this circuit are explained using drawing 5 . Drawing 5 is a concrete configuration block view of the recovery section of the correlation circuit for a spectrum diffusion communication concerning the example of this invention. The recovery section of this example consists of fundamentally an antenna 51, the RF section 52, A/D converter 53, the memory section 54, the 1st high-speed correlator 55, the diffusion coder 56, the profiler 57, the 2nd high-speed correlator 58, RAKE synthesis machine 59, data and the speech processing section 60, a control section 61, and finger memory 62, as shown in drawing 5 .

[0108] Next, each part of the recovery section shown in drawing 5 is explained concretely. Two antennas 51 are usually prepared and perform a diversity reception. A diversity reception compounds the result to which received the same sending signal with two antennas, and it restored, and aims at enhancement in receiving photographic sensitivity.

[0109] The RF (Radio Frequency:Radio Frequency) section 52 creates a baseband (BB) signal (recovery), performs rectangular detection, and divides it into I component (in-phase component) and Q component (quadrature component).

[0110] A/D converter 53 changes BB analog signal from the RF section 52 into a digital signal. 4-6 bits of the conversion numbers of bits are required. 4 times, if a conversion frequency is an over sampling technique, in the case of wideband CDMA (wideband CDMA), it will be set to 16MHz. Although it receives for every I/Q signal, and antenna and one A/D converter is needed, respectively, if high-speed processing is possible, it will be sufficient to make time-sharing processing perform with one A/D converter.

[0111] The memory section 54 is above by at least 1 symbol, holds the digital signal changed by A/D converter 53 per symbol, and reads it at high speed. About 1 to 4 times of a chip speed and the read-out speed are required for drawing speed the 10 or more times. The so-called time conversion is performed by this processing. Specifically, the memory space for at least 48 symbols — 100 symbol is required. In addition, when using MF (***** VCF) instead of a high-speed correlator, simultaneous read-out by the symbol unit is demanded. Moreover, it has memory section 54' as an object for DHO.

[0112] The 1st high-speed correlator (Digital SC) 55 incorporates the signal and the diffusion sign from the diffusion coder 56 which are held at the memory section 54 and by which the spectrum diffusion was carried out, and performs the sum-of-products operation per 1 symbol. A fast turn around is performed compared with a chip rate. Moreover, although the operation as the 1st high-speed correlator 55 also with the 2nd same high-speed correlator (Digital SC) 58 is performed, the result of an operation of the 2nd high-speed correlator is outputted to a profiler 57. In addition, you may be made to use a ***** VCF (MF) instead of the 2nd high-speed correlator 58. Moreover, it has high-speed correlator 58' as an object for DHO. .

[0113] The diffusion coder 56 is sent out with the phase which had the specified diffusion sign specified by the designation from a control section 61. In addition, you may be the register which stores a diffusion sign instead of a diffusion coder.

[0114] A profiler 57 calculates by incorporating the output from the 2nd high-speed correlator 58 (or MF), and specifies a pass. Thereby, in an initial synchronous phase, a chip synchronization, a symbol synchronization, a radio slot synchronization, and frame synchronization can be taken, and specialization of a base station is attained. Moreover, a pass is detected in the communication status it was decided that a connection place base station would be. These informations are sent to a control section 61, and designation is outputted to the 1st high-speed correlator 55, the memory section 54, and the diffusion coder 56 from a control section 61. Moreover, as an object for DHO, it has profiler 57' and specialization and specialization of a pass of an adjoining base station are performed at the time of DHO.

[0115] The signal with which the spectrum diffusion of the MF used instead of was carried out and a diffusion sign are incorporated, and the sum-of-products operation is performed per 1 symbol. [the 2nd high-speed correlator 58] A fast turn around is performed compared with a chip rate. Since the information from two or more memory can be

processed at very high speed by carrying out a fast turn around, the application to an interference canceller is attained.

[0116] RAKE synthesis section 59 carries out the phase correction [output / correlation / from the 1st high-speed correlator 55 incorporated by the finger memory 62] using the pilot symbol, and performs synthesis (RAKE synthesis) of two or more passes after that. Moreover, **** rare **s, such as SIR test section which, in addition to this, measures what AFC for doubling an input signal and a frequency, the input signal, and the noise (the interference from other signals is included) have become comparatively or or now among RAKE synthesis section 59.

[0117] Data and the speech processing section 60 perform the inverse transformation (recovery) of various signal processing carried out by the transmitting side, in order to perform error correction. this — a day interleave, the Viterbi decode, CRC decoder, the Lead Solomon double sign (or turbo decode), and voice — CODEC — ** — it *****s

[0118] As mentioned above, according to the correlation circuit for a spectrum diffusion communication concerning the gestalt of operation of this invention, the recovery circuit of CDMA can be constituted on a scale of the few gate, it is small-scale to the near future, and the effect that LSI for mobile terminals from which a correlation is acquired can be developed is in it as explained in detail.

[0119]

[Effect of the Invention] Since it is considering as the correlation circuit for a spectrum diffusion communication which is equipped with the memory section which writing and read-out can perform the received signal by which the spectrum diffusion was carried out simultaneously, and can moreover read it to a high speed from drawing speed, incorporates a signal at high speed from the concerned memory section, and performs a sum-of-products operation at high speed with a high-speed correlator according to this invention, it is effective in the ability to make a configuration element small-scale and acquire a correlation.

[Translation done.]

* NOTICES *

The Japanese Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the configuration block view of the correlation circuit for a spectrum diffusion communication concerning the gestalt of operation of this invention.

[Drawing 2] It is the configuration block view of another correlation circuit for a spectrum diffusion communication concerning the gestalt of operation of this invention.

[Drawing 3] It is a configuration block view at the time of using this circuit for an interference canceller unit.

[Drawing 4] It is a configuration block view at the time of using this circuit for an interference canceller.

[Drawing 5] It is the configuration block view showing concrete 1 example of the circuit for a spectrum diffusion communication concerning the gestalt of operation of this invention.

[Drawing 6] It is the configuration block view of a part of conventional slide correlator.

[Drawing 7] It is the configuration block view of the conventional ***** VCF.

[Drawing 8] It is a circuit-arrangement block diagram at the time of using the high-speed correlator in the spectrum diffusion communication circuit concerning the gestalt of operation of this invention as a complex type.

[Description of Notations]

11, 21, 31, 41 — A/D converter, 12, 22 — Control section, [15, 25 — Sample hold (S/H) circuit,] 13, 23 — Code generator, [20 — 2 port memory, 24 27 — Address decoder,] 16, 26 — High-speed correlator, [32, 42 — Multiplier, 33, 43 — PN code register,] 28 — Sense amplifier, [35 — Delay circuit, 45 — sample hold (S/H) circuit,] 34, 44 — Adder, [52 — RF section, 53 — A/D converter,] 51 — Antenna, [55 — 1st high-speed correlator, 56 — Diffusion coder,] 54 — Memory section, [58 — 2nd high-speed correlator, 59 — RAKE synthesis section, 60 — Data and the speech processing section, 61 — Control section, 62 — Finger memory, 81 — 6bitA / D converter, 82 — Memory section, 83 — Latch circuit] 57 — Profiler,

[Translation done.]

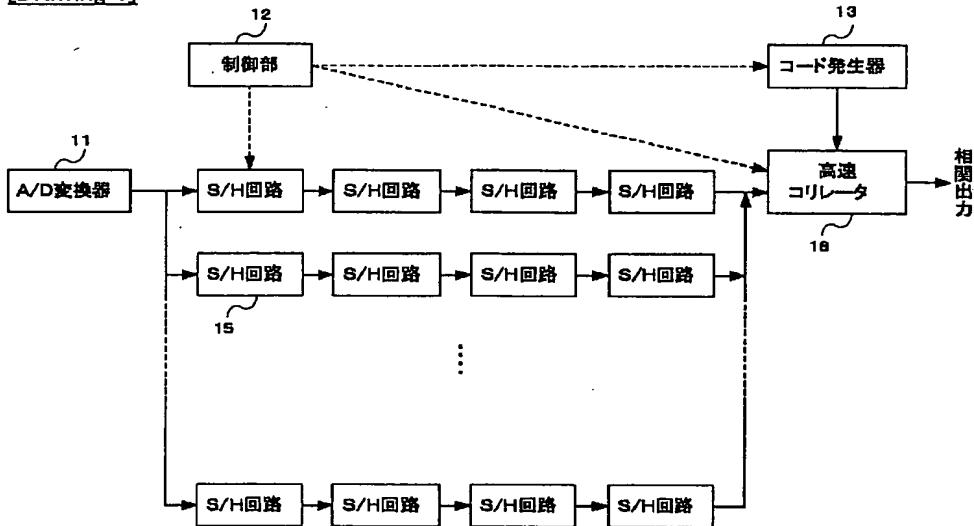
* NOTICES *

The Japanese Patent Office is not responsible for any damages caused by the use of this translation.

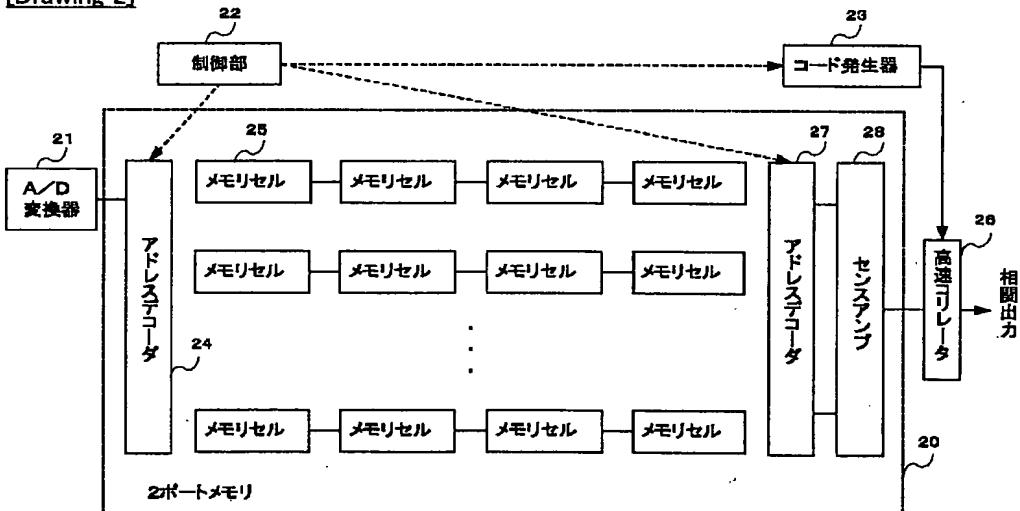
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

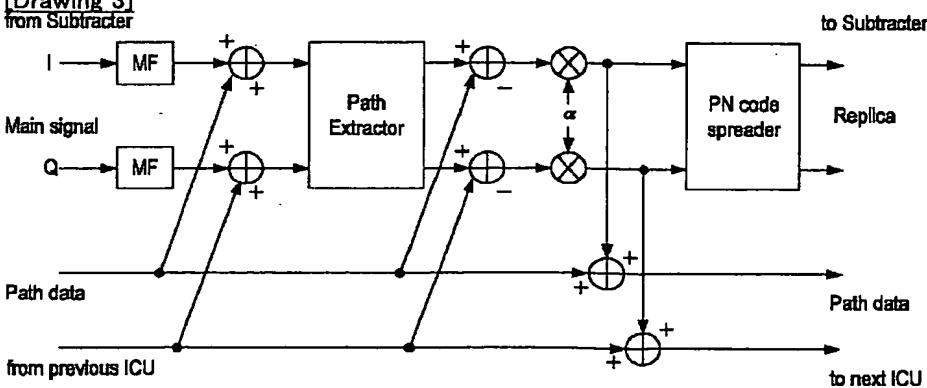
[Drawing 1]



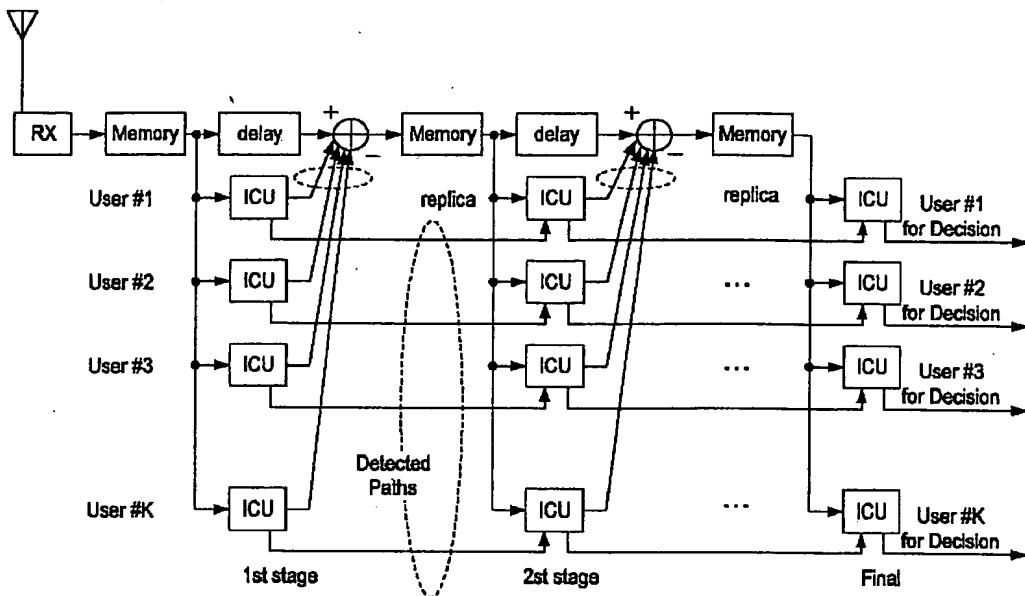
[Drawing 2]



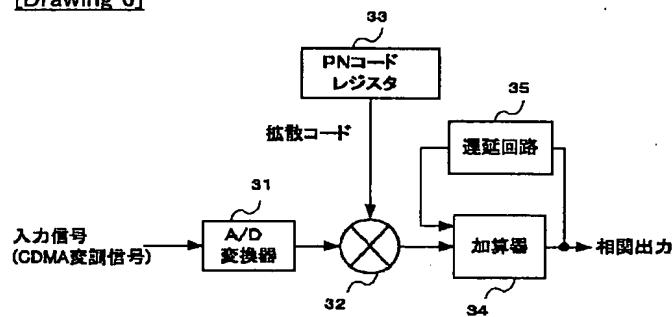
[Drawing 3]



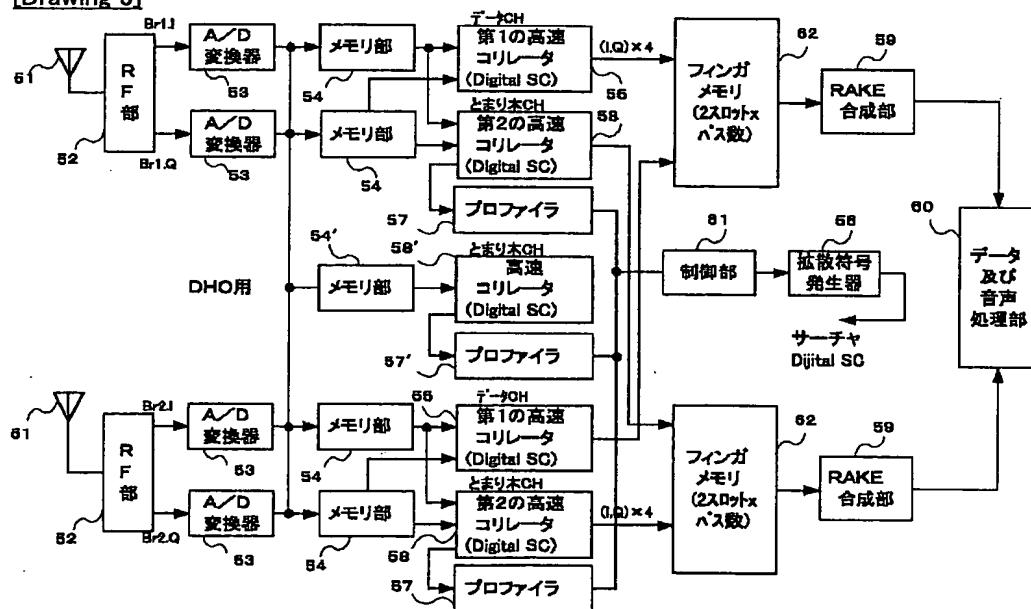
[Drawing 4]



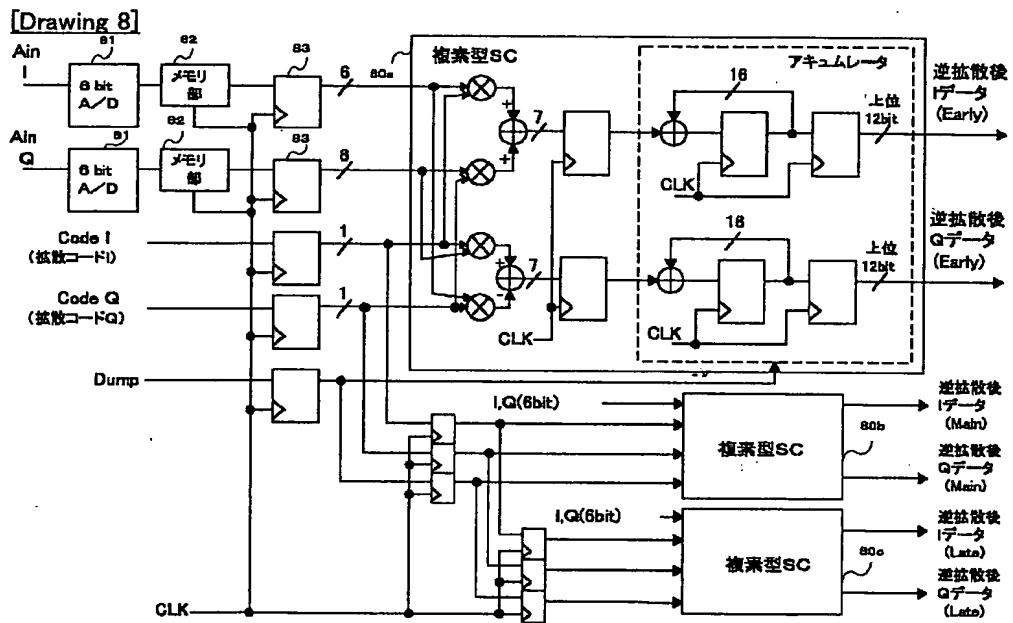
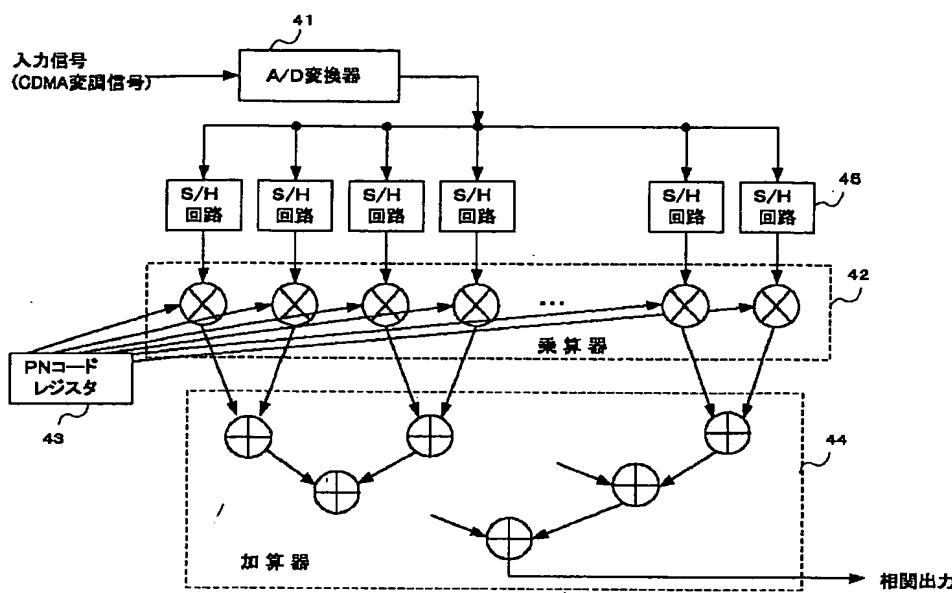
[Drawing 6]



[Drawing 5]



[Drawing 7]



[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning these documents will not correct the image
problems checked, please do not report these problems to
the IFW Image Problem Mailbox.**